

CAPITOLATO TECNICO

per la fornitura per la produzione e l'assemblaggio di n. 3 schede Splitter n. 3 schede Back-Plane e n. 6 schede LVPS versione QM, e successiva fornitura per la produzione e l'assemblaggio di n. 3 schede Splitter n. 3 schede Back-Plane e n. 6 schede LVPS versione FM con revisione dello schematico

Indice del documento

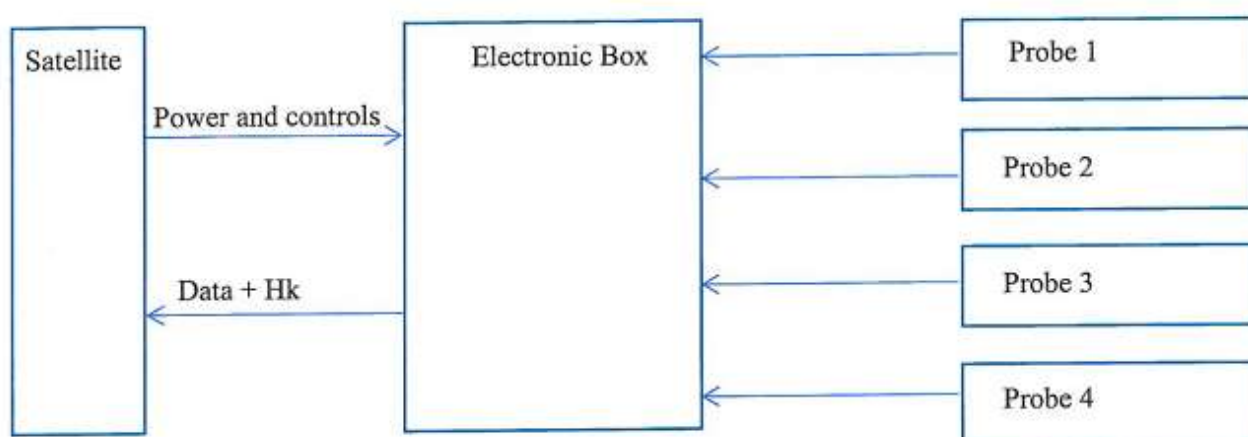
- Premessa.....	3
- EFD-02.....	4
- Materiali in conto lavorazione.....	7
- Scheda Power LVPS.....	8
- SPLITTER.....	34
- Back-Plane.....	53
- Componenti e Processi produttivi.....	82
- Deliverable e Termini di consegna.....	83
- Appendici.....	85
o Appendice A – Meccanica e connessioni.....	86
o Appendice B - Fusibili, Filtri, DC/DC Converter.....	105
o Appendice C – Lista componenti approvati.....	165

EFD-02

1) PREMESSA

Nell'ambito delle attività previste nell'accordo ASI-INFN-INAF, l'IAPS ha la responsabilità dello sviluppo dello strumento misuratore di campo elettrico EFD (Electric Field Detector) per il secondo satellite cinese CSES (China Seismo-Electromagnetic Satellite del China National Space Administration).

Lo strumento EFD-02 (dove 02 sta a significare che lo strumento è alla sua seconda realizzazione) è formato da 4 sensori di campo elettrico, da un box di elettronica e da alcuni cavi di collegamento.



Lo strumento EFD-02 verrà montato su un satellite cinese e lanciato nella stratosfera dove permarrà per diversi anni. La quota di volo è di circa 500Km e il satellite compirà il giro completo della terra con un periodo di circa 1,5 ore passando sopra al polo Nord e al polo Sud.

Durante la sua orbita il satellite eseguirà tramite EFD-02 ma anche tramite altri strumenti tutta una serie di misure e rilevazioni e invierà a terra i relativi dati scientifici.

In particolare, tramite EFD-02 il satellite acquisirà e manderà a terra dati scientifici relativi alla misura del campo elettrico. Per consentire un migliore acquisizione di dati scientifici da terra è possibile telecomandare EFD-02 per meglio specializzare e indirizzare le sue misurazioni.

Scopo finale di tutto l'esperimento è acquisire informazioni sui campi elettrici (ma anche tramite altri sensori, di quelli magnetici ecc. ecc.) con lo scopo scientifico finale di tentare di captare dei segnali premonitori al verificarsi sulla Terra di terremoti.

Come tutte le cose che volano EFD-02 deve rispettare ferree regole; prima far tutte deve poter funzionare nel vuoto assoluto, deve assorbire poca energia, deve pesare poco ecc ecc.

L'elemento però che più caratterizza un apparato scientifico da lanciare con un satellite è però la sicurezza del suo funzionamento e l'affidabilità in quanto non sarà possibile nessun intervento umano in orbita.

Nella progettazione e nella realizzazione del sensore, i progettisti devono esaminare minuziosamente tutti i possibili fenomeni, scenari, inconvenienti, problemi e aver già previsto come risolverli.

In particolar modo e per quanto possibile l'elettronica dovrà essere ridondata, inserendo un'opportuna rete di smistamento telecomandabile da terra verso una o l'altra sezione a secondo dei problemi che dovessero sorgere.

2)EFD-02

Come detto . EFD02 è un sensore di campi elettrico , chi capta i campi elettrici sono i sensori che sono 4 e sono posti su dei Boom estendibili all'esterno del satellite (a 4 metri di distanza) .

I sensori sono i dispositivi atti a captare i segnali di campo elettrico a larga banda , 5Mhz.

Sul satellite i sensori sono spazialmente posti a 120° per cui dall'esame dei ritardi/fase tra i segnali è possibile ottenere una misura di campo elettrico spazialmente definita

Il Box di elettronica compara ed elabora i segnali ricevuti dai sensori (probe) in varie bande di frequenza a partire dalla DC fino a 4 MHz .

Il Box di elettronica elabora i dati , fa una FFT ed altre elaborazioni e infine impacchetta i dati in modo che la telemetria del satellite possa inviarli a terra

La catena di acquisizione dei dati si compone pertanto di :

- A) Sensori o PROBE
- B) Unità di acquisizione analogica APU
- C) Unità di acquisizione ed elaborazione digitale DPU
- D) Unità di alimentazione LVPS
- E) Unità di commutazione/smistamento SPLITTER

Come detto precedentemente l'elettronica per ragioni di sicurezza è duplicata . A bordo pertanto ci saranno due sistemi gemelli ogni uno composto da :

APU + DPU + LVPS

Per ragioni di costruzione fisica del satellite i sensori non possono essere ridondati .

Nel sensore EFD-02 le schede elettroniche e anche la scheda LVPS sono duplicate (Main e Spare) per garantire la massima sopravvivenza.

Purtroppo la scheda SPLITTER non può essere duplicata in quanto :

svolge le funzioni "comuni" ai due sistemi

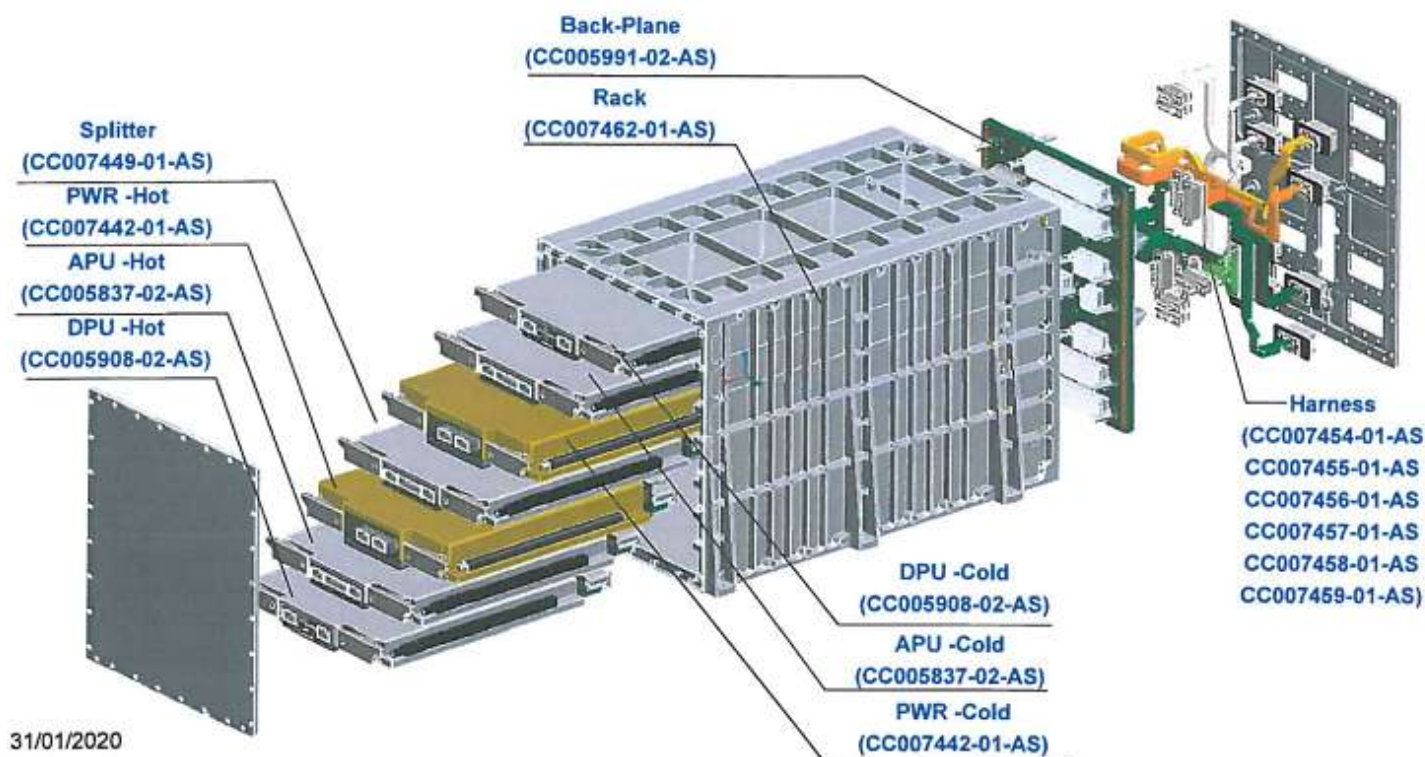
e in particolare quella di indirizzare i segnali dei PROBE ad una o all'altra sezione di elettronica

Le singole funzioni APU , DPU e POWER sono realizzate fisicamente ciascuna entro una scheda . Tutto il sistema si completa con

un Back-Plane di interconnessione

un pannello connettori IN-OUT connesso tramite un cablaggio

un CASE di contenimento



l'Electronic Box (formato da Sub-Sistema Main e da Sub-Sistema Spare). Ciascuno dei due sistemi Main e Spare dovrà essere formato da 3 sub-unità, come già descritto

Digital Process Unit (DPU) to in seguito, divise funzionalmente in:

Analog Process Unit (APU)

Low Voltage Power Supply (LVPS)

Più, come già detto, una parte comune denominata SPLITTER

Per completare gli elementi dell'elettronica di EFD-02, sarà inserita una sub-unità SPLITTER per la commutazione tra i sistemi Main e Spare. Il progetto del Box di elettronica dovrà quindi prevedere lo spazio per 3 + 3 + 1 sub unità che tra di loro si collegheranno tramite una ulteriore unità con la funzione di Back-Plane e un pannello connettori. Il progetto del pannello Back-Plane è di estrema importanza in quanto i collegamenti tra le sub unità sono centinaia.

Oggetto della specifica fornitura è:

Progettazione produzione e qualifica di :

Scheda LVPS

Scheda SPLITTER

Scheda BACK-PLANE

La produzione prevede le seguenti quantità

ITEMS	FASE QM	FASE FM
Scheda LVPS	TBD	TBD
Scheda SPLITTER	TBD	TBD
Scheda BACK-PLANE	TBD	TBD

I requisiti tecnici delle tre sotto unità richieste sono riportati nelle sezioni del documento a seguire.

POWER o LVPS

SPLITTER

BACK-PLANE

MECCANICA (tavole in appendice A)

Il documento tecnico si completa con :

FUSIBILI-PROTEZIONI- DC/DC Converter (descrizioni e datasheet in appendice B)

FILTRO EMI

QUALITA' DEI MATERIALI

TEST DA ESEGUIRE

Materiali in conto lavorazione

Il committente garantirà la fornitura dei supporti meccanici (vedere allegato A) e la collaborazione con la ditta produttrice della meccanica del box di elettronica per il supporto all'analisi termica.

Il committente fornirà in conto lavorazione i seguenti componenti (vedere allegato B):

- N. 12 convertitori DC/DC primari qualificati spazio
- N. 6 filtri EMI qualificati spazio
- N. 12 fusibili qualificati spazio
- Connettori su schede

Eventuale fornitura di ulteriore componentistica RAD-HARD sarà concordata col committente in fase di definizione del design.

SCHEDA POWER

LVPS

Altro elemento da tener ben presente e da ottimizzare al massimo durante la progettazione di POWER è il problema della potenza elettrica massima assorbibile dal satellite.

Protezioni da sovracorrente presenti sul "sistema satellite" possono distaccare di colpo un carico anomalo.

Il satellite ha un bilancio energetico molto stringente, nel documento ICD vengono definiti i limiti sia in condizioni di INRUSCH che statiche.

AMBIENTE DI LAVORO

L'ambiente dove il sensore opererà è lo spazio.

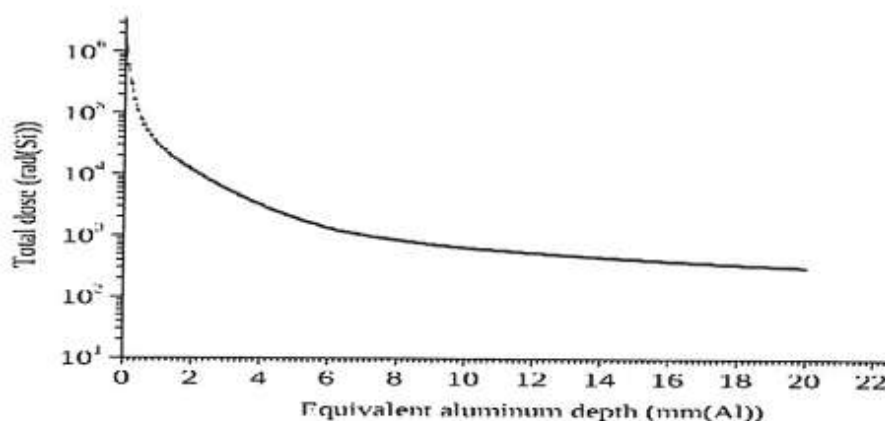
Il satellite orbiterà a circa 500Km di quota.

La scheda elettronica dovrà lavorare pertanto nel vuoto (pressioni dell'ordine di 10^{-6} , 10^{-9} mbar) per cui la dissipazione del calore avverrà solo per conduzione tramite la struttura del contenitore del sensore. Il contenitore del sensore sarà fissato su una Cold-plate, la cui temperatura sarà mantenuta dal "thermal-control system" del satellite a $+55^{\circ}\text{C}$.

Tutto il contenitore con l'elettronica dovrà sopportare in fase di lancio, elevati livelli di vibrazione e urti.

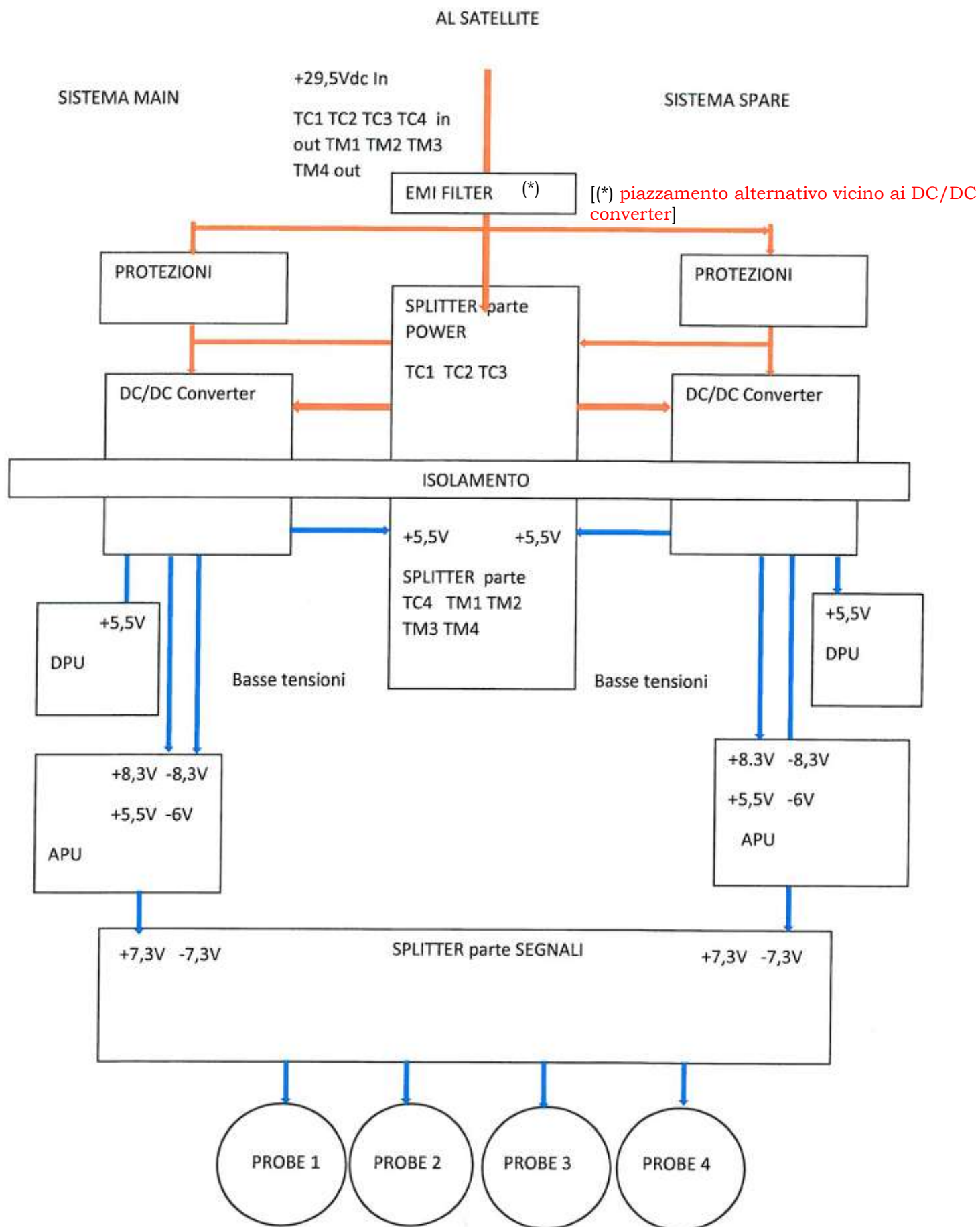
Il satellite, come tutte le cose che non usufruiscono dello schermo costituito dall'atmosfera sono soggette a subire la radiazione solare.

La dose di radiazione totale ricevuta dal satellite nell'arco dei 5 anni di missione è riassunta nel seguente grafico:

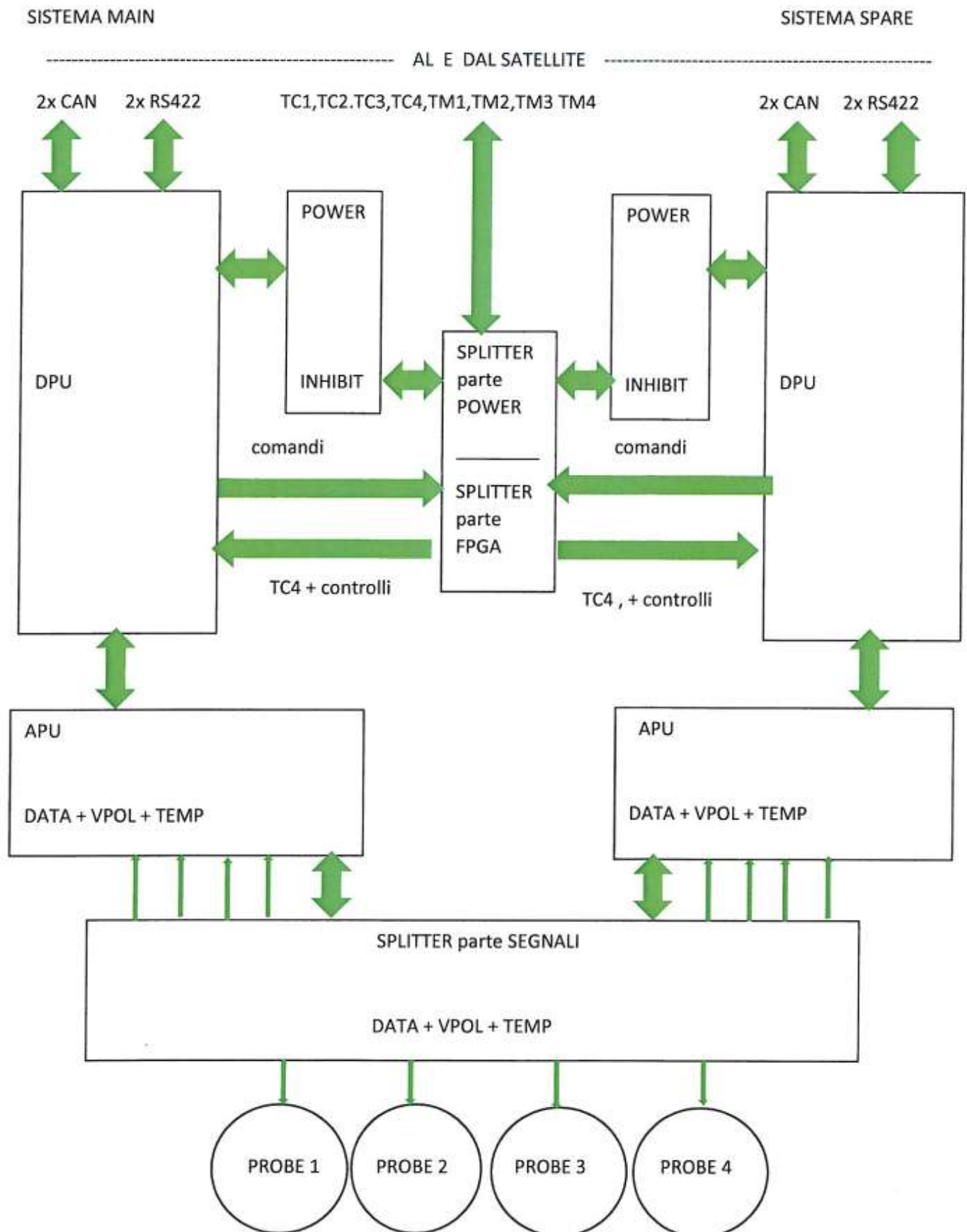


Nel progettare la parte elettronica va inoltre considerato che sul satellite il sensore EFD-02 convive con un sensore che fa misure di campi elettromagnetici, è pertanto indispensabile che la scheda POWER non generi campi magnetici anomali o quanto meno che questi siano identificati e controllati.

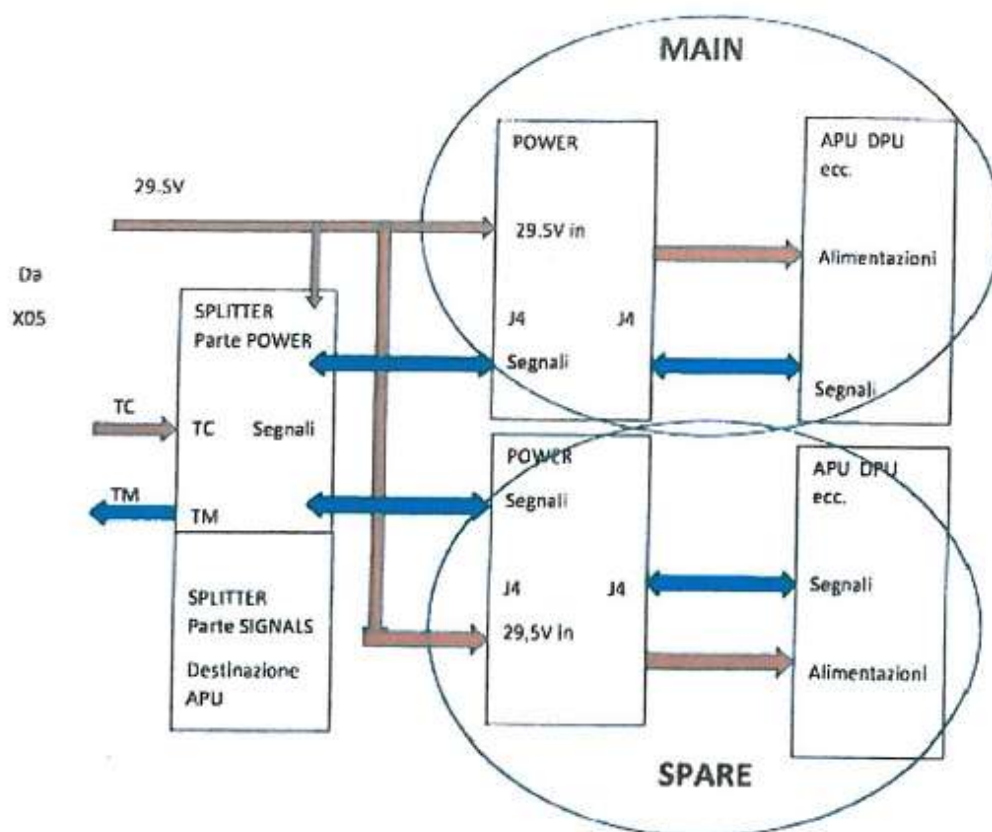
A completamento un'apposita sezione di questa specifica fissa tutte le condizioni ambientali a cui il sistema EFD-02 deve sottostare e pertanto tutte le condizioni a cui il sistema deve essere sottoposto in fase di qualifica.



SCHEMA A BLOCCHI DEI CIRCUITI E CONNESSIONI PER L'ACQUISIZIONE L' ELABORAZIONE E LA TRASMISSIONE DATI DA E VERSO IL SATELLITE



Vista di come operano i due sistemi POWER-MAIN e POWER-SPARE sotto il comando della scheda SPLITTER



SEGNALI DI TELECOMANDO TC ricevuti dalla scheda SPLITTER

Codice	Azione	Chi opera	Riferimento	Segnale
TC1 o TC2	Attivare il convertitore 29,5V-5,5V	Convertitore DC/DC	Massa 29,5V	Comando di INHIBIT (Main-on o Spare on secondo installazione .
TC3	Disattivare il convertitore 29,5V-5,5V	Convertitore DC/DC	Massa 29,5V	Comando di OFF
TC4	RESET	DPU	Massa 29,5V	Comando di RESET

I telecomandi TC sono attivi quando il livello è basso (segnale chiuso a Massa Power = scorre corrente), I segnali TC ricevuti dal satellite sono comandi impulsivi della durata di 160msec +-10msec.

Un opportuno circuito deve evitare che vengano presi per buoni impulsi spuri, o troppo corti o troppo lunghi

Per ragioni di affidabilità tutte le parti dei circuiti che elaborano questi segnali devono essere ridondate (con speciale attenzione agli optoisolatori).I circuiti devono avere una protezione intrinseca da catastrofi per cortocircuiti di semiconduttori attivi .

Accensione del sistema EFD-02

Particolare attenzione merita la logica di comando di accensione, ovvero quella parte della scheda SLITTER che riceve i comandi discreti di accensione/spegnimento che provengono direttamente dal satellite e comandano la scheda POWER (tramite la scheda SPLITTER) di alimentare il sistema oppure di spegnerlo. Tener ben presente che dall'unione di queste due schede-funzioni dipende il funzionamento di tutto EFD-02!

Il dettaglio di come arrivano questi telecomandi dal satellite alla scheda SPLITTER di EFD-02 è ricavabile dal documento ICD.

Questo documento illustra come i segnali arrivano dal satellite alla scheda SPLITTER. Per ragioni di EMI la scheda SPLITTER deve operare su tre circuiti di massa .

Alcuni collegamenti sono riferiti a massa della potenza del satellite, altri sono riferiti al negativo della 29,5V dopo il Filtro EMI e infine anche ancora alla massa dei segnali logici e analogici (massa pulita e delicata) chiamata SIG. GND.

Sequenza di accensione-spegnimento

La scheda POWER riceverà in maniera continua dalla scheda SPLITTER il comando "MAIN-ON elaborato" chiamato INHIBIT con cui si attiverà e fornirà energia a 5,5 V e poi in cascata a tutti i DC/DC/LVPS per generare le varie alimentazioni dei circuiti.

Il circuito del comando di INHIBIT del DC/DC è riferito al "primario" e ha internamente la Pull-Up riferita alla dc in ingresso (29,5V dopo il filtro EMI).

Qualora la scheda SPLITTER dovesse ricevere il comando di OFF (TC3) in modo improvviso ,questa comanderà lo spegnimento del sistema togliendo il comando di INHIBIT al DC/DC .In questo caso il DC/DC principale si fermerà e verranno meno tutte le tensioni interne. Questa eventualità potrebbe generare dei problemi sui circuiti per cui si cerca di evitarla.

Dovrà essere approfondito lo studio delle tempistiche necessarie ad un corretto ciclo di spegnimento, per fare ciò sarà indispensabile gestire al meglio il programma di spegnimento magari introducendo se indispensabile un piccolo ritardo (msec.) tra ricezione del comando TC3 e l'attuazione.(eliminazione dell'INHIBIT). Per risolvere situazioni critiche per dati e circuiti molto sensibili , si sta optando (cliente permettendo) per la ricezione di un pre-comando di OFF via link CAN dal satellite)

Procedura di spegnimento controllato delle varie tensioni fornite ai circuiti a valle.
(Da valutare anche se molto probabile l'accettazione da parte del cliente cinese)

In base a ultimi contatti con i cinesi la procedura di spegnimento prevede:

- 1) La ricezione da parte di DPU via canale CAN di un comando di PRE-POWER-OFF .
- 2) Ricevuto questo segnale la scheda DPU mette in memoria gli ultimi dati scientifici
- 3) Messa in memoria i dati , la scheda DPU dà ordine all'FPGA di POWER di attuare una procedura di spegnimento programmato secondo una ben specifica sequenza .
- 4) Conclusa la fase di spegnimento da parte dell'FPGA di POWER la situazione diventa quella che tutto è spento (DPU , APU , e PROBE). Come previsto il sistema entro 3 secondi dal comando PRE-POWER-OFF è OFF e resta in attesa di ricevere il comando HW di OFF .
- 5) Il comando di OFF può arrivare da ora in poi quando lo decide il satellite.
- 6) Si precisa che arrivati alla fine della fase riportata sopra al punto 4 non può essere ripreso il regolare funzionamento se non passando prima per la procedura di OFF e solo dopo con un nuovo ON.

Considerando che il DC/DC 2 primario "nella scheda POWER" costituisce un anello tra la 29,5V su massa PWR-RTN e la parte su SIG-GND cioè i circuiti interni di EFD-02 , i disturbi EMI sia provenienti dal satellite che generati internamente devono essere eliminati o ridotti al minimo possibile . Si ricorda che EFD-02 ha un'elettronica interna che elabora segnali di micro-volt.

I segnali TC in arrivo dal satellite sono su massa POWER ovvero sulla massa della 29,5V in ingresso dal satellite. Vedere lo schema a blocchi che illustra i vari circuiti con i loro ritorni tutti separati!

Il circuito di ingresso della scheda POWER è riferito alla massa della tensione 29,5V, i DC/DC hanno pertanto il primario su una "massa filtrata" a valle del filtro EMI.

Fanno invece riferimento alla massa di segnale SIG-GND i DC/DC/LVPS ecc. che generano le varie tensioni di uscita dalla scheda POWER e tutti i circuiti interni di EFD-02 compreso l'FPGA .

Ridondanza ma anche schede tutte uguali

Quasi tutta l'elettronica di EFD-02 è ridondata (al 95%) ciò significa che all'interno di EFD-02 ci sono due elettroniche perfettamente uguali e che l'accensione di una o dell'altra elettronica "MAIN o SPARE" dipende dai comandi che arrivano da terra tramite i telecomandi TC

Le schede POWER, APU e DPU che compongono i sistemi MAIN e SPARE sono perfettamente uguali e la loro funzione diversa è determinata solo dalla posizione nell'unità EFD-02.

I due sistemi MAIN e SPARE devono operare ed essere alimentati assolutamente uno alla volta,

All'arrivo del segnale di PRE-POWER-OFF descritto prima, la DPU dà inizio ad una sequenza di azioni ,ovvero invia gli ultimi dati inserendo un codice per comunicare al sistema ciò che sta accadendo e chiude le comunicazioni su RS422 e CAN ,

A seguire DPU da ordine all'FPGA di POWER di

disalimentare con un'opportuna procedura la scheda APU e tramite questa i probe
da il comando alla scheda Power di togliere tutte le alimentazioni comprese le sue
e con la mancanza di alimentazione si spegne.

Ripetendo, questa situazione può essere ripresa solo passando per un ciclo completo di OFF e poi una nuova sequenza di ON (Main o Spare secondo le esigenze).

Segnale di RESET

Il comando TC4 di RESET arriva a EFD-02 con il solito comando HW impulsivo (160msec+-10msec).

Questo segnale viene trattato tramite doppi optoisolatori come i segnali MAIN-ON, SPARE-ON e OFF nella scheda SPLITTER.

Il telecomando TC4 = RESET viene ricevuto dalla scheda SPLITTER e inviato direttamente all'FPGA di POWER che a sua volta lo invia a DPU per le opportune azioni.

Per ragioni di sicurezza il canale fino a DPU è ridondato.

Tensioni erogate in uscita dalla scheda POWER

La scheda POWER, genera le tensioni necessarie ad alimentare i circuiti interni di EFD-02 e ne controlla la regolare erogazione.

La potenza che EFD-02 assorbe dal satellite tramite la 29,5V deve rientrare nei limiti imposti dall'ICD sia per valori statici che impulsivi.

A monte del DC/DC una protezione tramite un Fusibile di qualità spaziale fa sì che nel caso sfortunato di un cortocircuito nei circuiti di ingresso del DC/DC, il fusibile intervenga e isoli il canale in corto consentendo al sistema di proseguire nel funzionamento "passando all'altro canale"

La scheda POWER controlla anche tramite un circuito di RAMP-UP o SOFT-START che dir si voglia che l'erogazione delle varie tensioni di uscita non determini sbalzi di assorbimento sulla 29,5V tali da uscire dai margini previsti nel documento ICD.

Tutte le tensioni generate a cascata dell'uscita del DC/DC Converter vengono controllate con dei segnali di POWER.GOOD tipicamente associati ai regolatori DC/DC o LVPS

Le tensioni +8,3V e -8,3V in uscita da POWER devono essere misurate/controllate anche in corrente e il dato viene inviato a terra tramite DPU e il canale CAN.

Il controllo delle tensioni e correnti 8,3V deve essere fatto in maniera continua.

Funzioni dall'FPGA all'interno della scheda POWER.

L'FPGA:

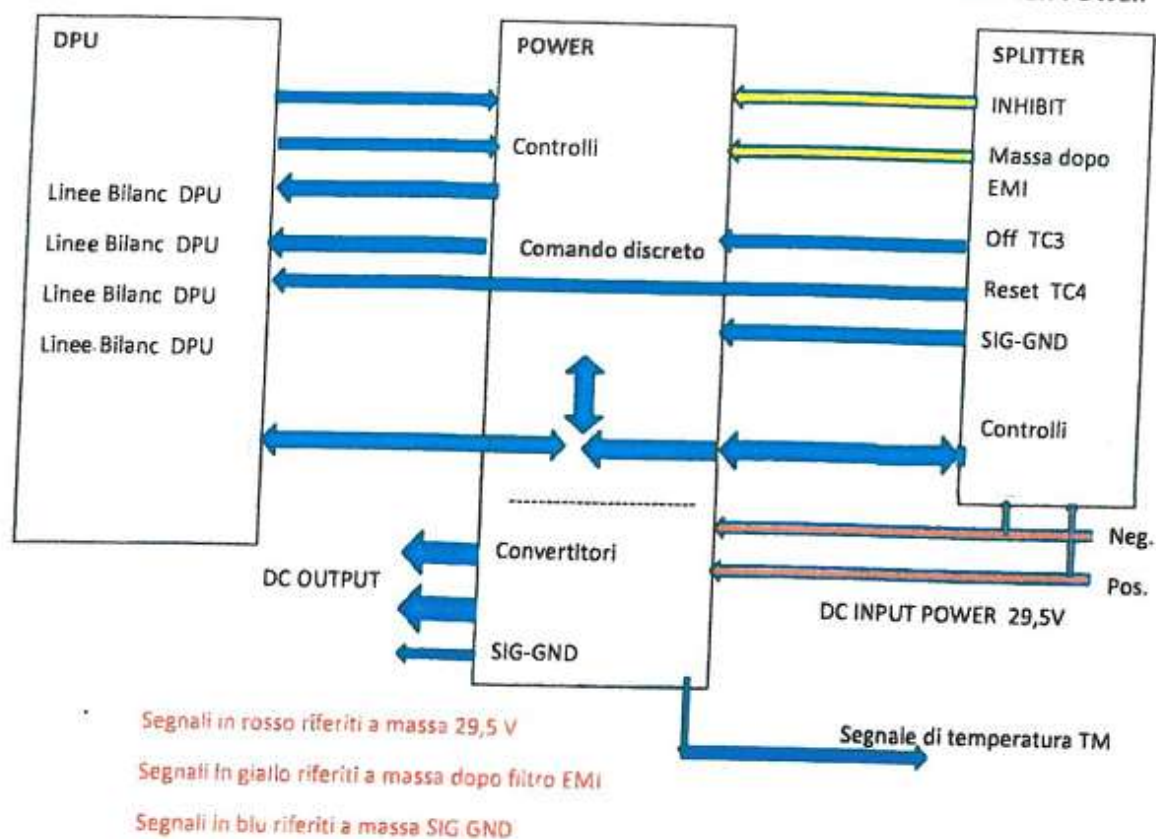
- a) Si auto avvia all'arrivo dell'alimentazione
- b) Gestisce tutte le funzioni interne alla scheda,
- c) Gestisce la procedura di Start-Up
- d) Gestisce il RAMP-UP o SOFT-START delle tensioni in uscita verso APU e DPU per far sì che la corrente assorbita durante le varie fasi di funzionamento non superi i valori riportati nell'ICD.
- e) Controlla i POWER-GOOD delle tensioni fornite in uscita.
- f) Misura le correnti assorbite dalle alimentazioni +8,3V e -8,3V destinate ai probe .
- g) Misura la temperatura di eventuali componenti critici
- h) Attua le comunicazioni bidirezionali verso la scheda DPU, tra cui anche il segnale di RESET.
- i) Agisce sulla base di comandi
 - Provenienti dalla scheda DPU
 - Con decisioni comandate o autonome secondo programmi pre-fissati
- l) L'eventuale segnalazione di un'avaria fa scattare nell'FPGA della scheda POWER una procedura di allarme che prevede una serie di azioni in cascata.
- m) Si spegne e si riavvia in maniera lineare e pulita senza entrare in modalità anomala.

La scheda POWER comunica con la scheda DPU tramite linee bilanciate per inviare info di Status e ricevere specifici comandi di erogazione. Si ipotizza di poter adottare una procedura di accensione e spegnimento alternativa , questa alternativa deve essere possibile grazie alla presenza di un FPGA all'interno della scheda POWER , la supervisione della scheda DPU ed eventuali comandi inviati da terra tramite il CAN BUS.

NOTE

- Si ricorda che in ogni caso il parametro sicurezza di funzionamento a prioritario rispetto a soluzioni raffinate.
- La complessità dei circuiti e il numero elevato di componenti a un fattore al denominatore.
- All'ingresso del DC/DC converter e in uscita da questo, forse saranno presenti vari condensatori tra cui elettrolitici. Porre particolare attenzione a scegliere gli elettrolitici tra quelli qualificati spazio ad altissima affidabilità .

SCHEMA A BLOCCHI DEI FLUSSI DI SEGNALI E COMANDI TRA POWER-DPU e SPLITTER-POWER



COMANDI inviati dalla SCHEDA SPLITTER alla scheda SCHEDA POWER

Comando di INHIBIT	segnale che chiude al negativo-ritorno dell'input del DC/DC
Segnale di RESET	segnale ridondato generato dalla ricezione del telecomando TC4

COMUNICAZIONI scambiate tra la SCHEDA POWER e la scheda DPU

La scheda Power al suo interno ha un FPGA che comunica in maniera una doppia linea in andata e in ritorno con la scheda DPU.

Questa comunicazione è ridondata ovvero usa due linee bilanciate in input e due linee bilanciate in output.

DPU-B1	Linea Bilanciata , livello del segnale 2,5V riferimento a SIG-GND
DPU-B2	Linea Bilanciata , livello del segnale 2,5V riferimento a SIG-GND
DPU-B3	Linea Bilanciata , livello del segnale 2,5V riferimento a SIG-GND

DPU-B4 Linea Bilanciata , livello del segnale 2,5V riferimento a SIG-GND

Nota Il protocollo di comunicazione ecc. tra POWER e DPU tramite queste 4 linee bilanciate
deve essere concordato tra scheda DPU e POWER

La scelta di usare linee bilanciate e duplicate, risponde a criteri di sicurezza e robustezza nei confronti di disturbi che possono essere captati durante il percorso delle piste e dei connettori tra scheda POWER e scheda DPU. Per aumentare la resistenza ai disturbi si consiglia di adottare codici di trasmissione ridondanti e velocità di trasmissione modeste.

La massa della scheda POWER deve essere curata per evitare disturbi sulle alimentazioni che vanno ai circuiti .

**All'interno del protocollo di comunicazione le informazioni che viaggiano
sono:**

I segnali che verranno trasmessi da POWER a DPU sono:

TC 4

Status delle tensioni in uscita / intervento protezioni / quanto altro per controllo

Per APU analogica N° 4

Per APU digitale N° 4

Per DPU N° 1

I segnali che vengono trasmessi da DPU a POWER sono:

OK all'erogazione delle tensioni in uscita

Per APU analogica N° 4

Per APU digitale N° 4

Applicazione programma accensione 1. 2 3 di spegnimento A B.0

Misura temperatura scheda POWER

La scheda POWER genera al suo interno la telemisura TM... per il controllo remoto della temperatura, le caratteristiche di questo segnale sono descritte nell'ICD .

Generazione della telemisura della tensione di servizio 5,5 V

La generazione della tensione di monitoraggio TM1 o TM2 può indifferentemente essere fatta sulla scheda POWER o sulla scheda SPLITTER. La decisione dipende innanzitutto da problemi di connessione nel Back-Plane.

SEQUENZA DI ACCENSIONE

L'unità POWER nel momento in cui eroga le tensioni ai circuiti a valle (APU , DPU) direttamente connessi con lei , deve seguire una sequenza di accensione ben definita per evitare problemi sui circuiti .

La sequenza da seguire è:

sequenza	APU parte analogica	APU parte digitale	DPU
0			+5,5V
1	+5,5V -6V		
2		+1,5V	
3		+3V	
4		+5V	
5		+3,3V	
6	+ - 8,3V		
7	Abilitazione di Vpol verso i probe.		

In fase di spegnimento seguire esattamente la stessa sequenza inversa

TABELLA ASSORBIMENTI

Le alimentazioni the POWER deve alimentare sono

Utenza APU DIGITALE

+5V

+3,3V

+3V

+1,5V

Utenza APU ANALOGICA

+5,5V

-6V

+8,3V

-8,3V

I valori delle correnti sono riportati nella comunicazione di Davide Badoni del 07/07/2020 a seguire

MISURE CORRENTE POWER DIGITAL':

Ci sono tutte le correnti di regime (steady) medie (per il calcolo della potenza media richiesta) e massime (massimo sulla cresta della sinusoide) per il calcolo della massima corrente continuativa richiesta.

Si riportano anche gli andamenti allo start.

Le 1.5V e la 3V per circa 100us arrivano ad assorbimenti enormi (0.8 ... 1 A),

Nelle misure pero' rivedendole bene c'e qualcosa che non convince perchè dopo il transiente non vanno a regime.

Risulta come se fossero state accese e poi spente quasi subito, oppure c'e molto ritardo sulla lenta salita per arrivare a regime, non visibile su quella scala oscilloscopio.

Informazioni solo indicative del problema .

Misure da ripetere.

POWER APU

Lo zoo di tensioni necessarie è corretto, aggiungerei i nomi che metterò sullo schematico QM

DIGITAL APU

+5V	DVDD5
+3,3V	DVDD33
+3V	DVDD3
+1,5V	DVDD15

ANALOG APU

+5,5V	AVDD55
-6V	AVSS6
-8,3V	AVDD83
+8,3V	AVSS83

- a) Tolleranze a limiti di tensione – TOLLERANZA + - 5%; per tutte le analogiche è richiesta e necessaria (vedi documento allegato "ReportPOWER-onAPU-02"). Riguardo le DIGITALI mi sembra ragionevole rimanere sugli stessi valori (+-5% TBV).
- b) Corrente richiesta –
- AVDD55:** la massima **stimata** in fase di progetto (ReportPOWER-onAPU-02) è **2.1 A** - La corrente misurata su APU operativa a temperatura ambiente è **1.1 A**.
 - AVSS6:** la massima **stimata** in fase di progetto (ReportPOWER-onAPU-02) è **0.8A** - La corrente misurata su APU operativa a temperatura ambiente è **0.41 A**.
 - AVDD83:** la massima **stimata** in fase di progetto (ReportPOWER-onAPU-02) è **0.5A** - La corrente misurata su APU operativa a temperatura ambiente è **0.15 A**.
 - AVSS83:** la massima **stimata** in fase di progetto (ReportPOWER-onAPU-02) è **0.5A** - La corrente misurata su APU operativa a temperatura ambiente è **0.1 A**.
 - Riguardo le **4 digitali**, al momento ho solo la stima della corrente effettivamente erogata a tutti gli alimentatori DC-DC a valle dall'alimentatore esterno da 5.5V; tale corrente vale **0.63 A**.

Posso (possiamo) fare una misura con la sonda la prossima settimana laddove sia possibile interrompere su APU_ADAPTER (che attualmente ospita il SIGNAL_SPLITTER) l'uscita dell'alimentazione.

MISURE CORRENTE POWER DIGITALI:

Sono state effettuate a monte del "Load switch with adj. rise time, -Voltage monitoring".

1.5 V DVDD15

ALL'accensione: 200mA quadretto ; 100us (quadretto)



Steady: media 8 mA picco: 19mA

3 V DVDD3



Steady: media 157 mA picco: 186 mA

3.3 V DVDD33



Steady: media 656 mA picco: 708 mA

5 V DVDD5

Steady: media 25 mA

- c) Eventuali correnti di picco (valori e durata).

Se servono per determinare le correnti massime erogabili dall'alimentatore proporrei di usare i valori massimi sopra indicati per le analogiche, mentre per le digitali usare il valore misurato moltiplicato per un fattore di margine di 1.2 ...1.5 (TBV).

Eventuali "rush" all'accensione forse si possono stimare con la sonda.

- d) Sequenza di Accensione e Spegnimento.

ACCENSIONE:

1.AVDD5 insieme a **AVSS6**

2.DVDD15 ; DVDD33 ; DVDD3 ; DVDD5 (sotto-sequenza sarà dettagliata lunedì 6 luglio)

3.AVDD83 insieme a **AVSS83**

4.Invio segnale VPOL ai Probe

SPEGNIMENTO: 4-3-2-1

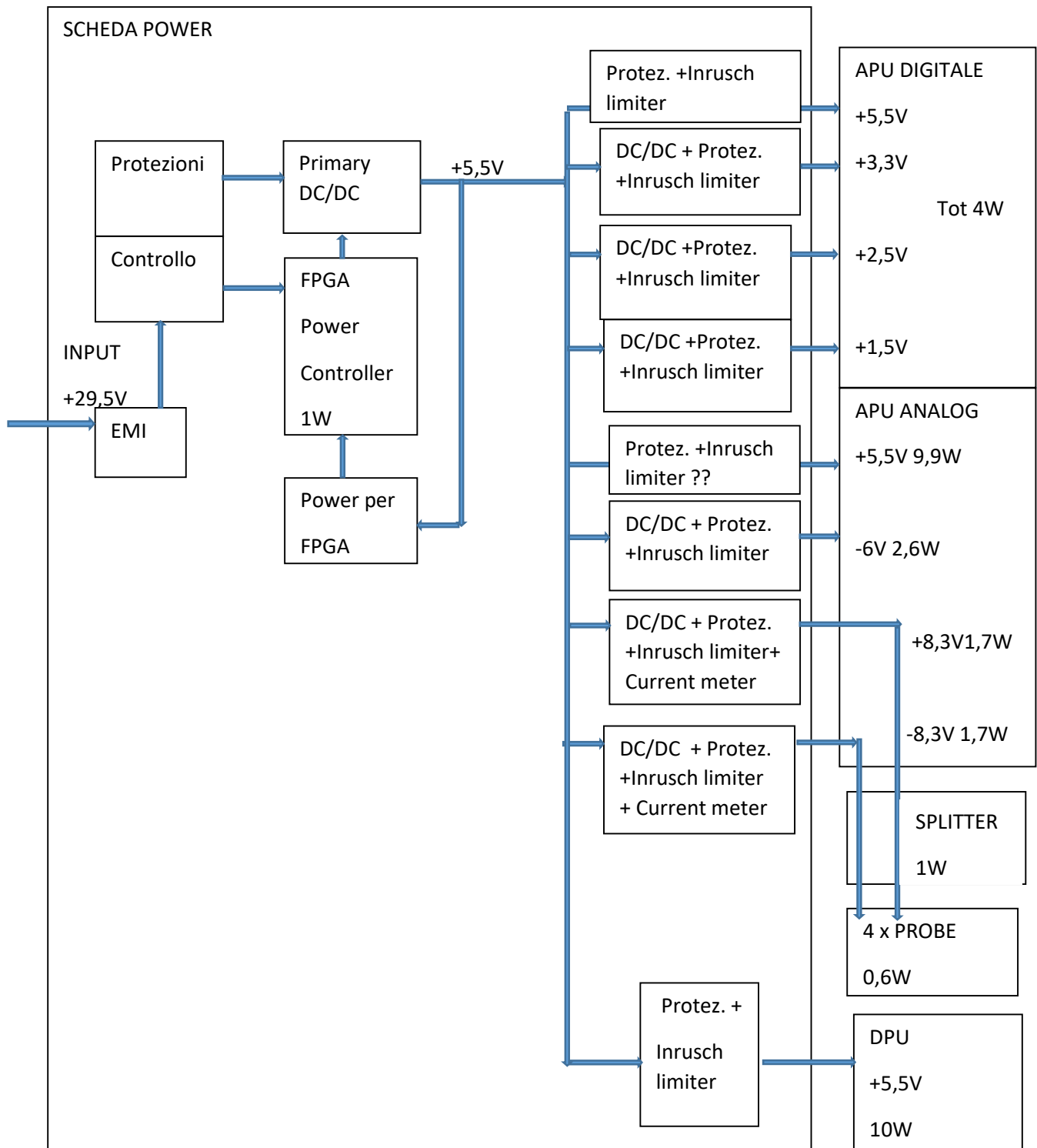
- e) Condizioni particolari come spegnimenti incrociati in caso di "failure" di una sezione.
Al momento non sembrano necessarie , ma da non escludere .

- f) Richiesta di eventuali segnali di "POWER GOOD".

Si per tutte le tensioni richieste

- g) Controllo/misura continua correnti assorbite dai PROBE almeno come dato somma dei 4 Probe..

SCHEMA DELLE ALIMENTAZIONI ELABORATE DALLA SCHEDA POWER

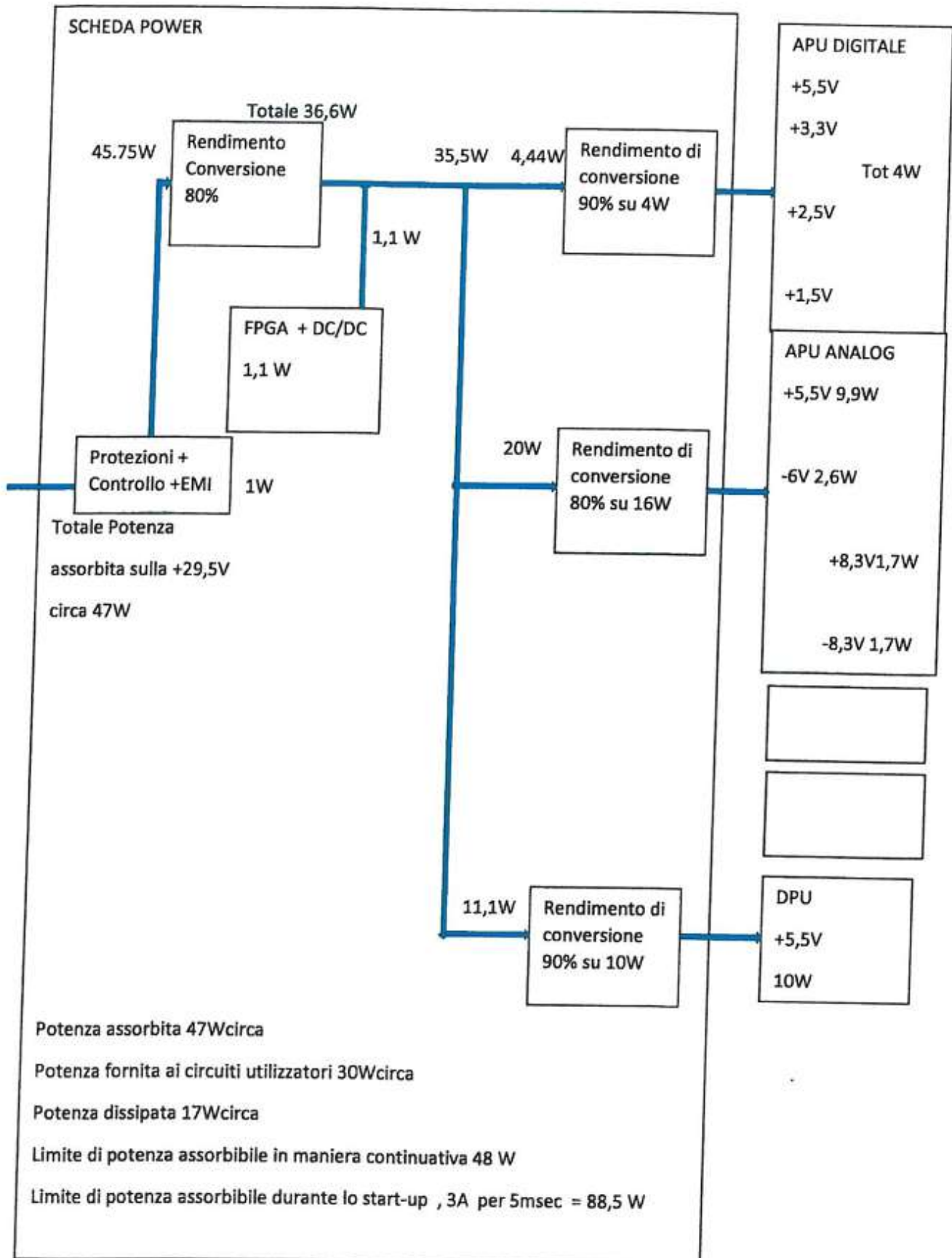


Inrush current limiter o Ramp-up rappresentano la stessa funzione ovvero servono a "limitare la corrente in fase di avvio".

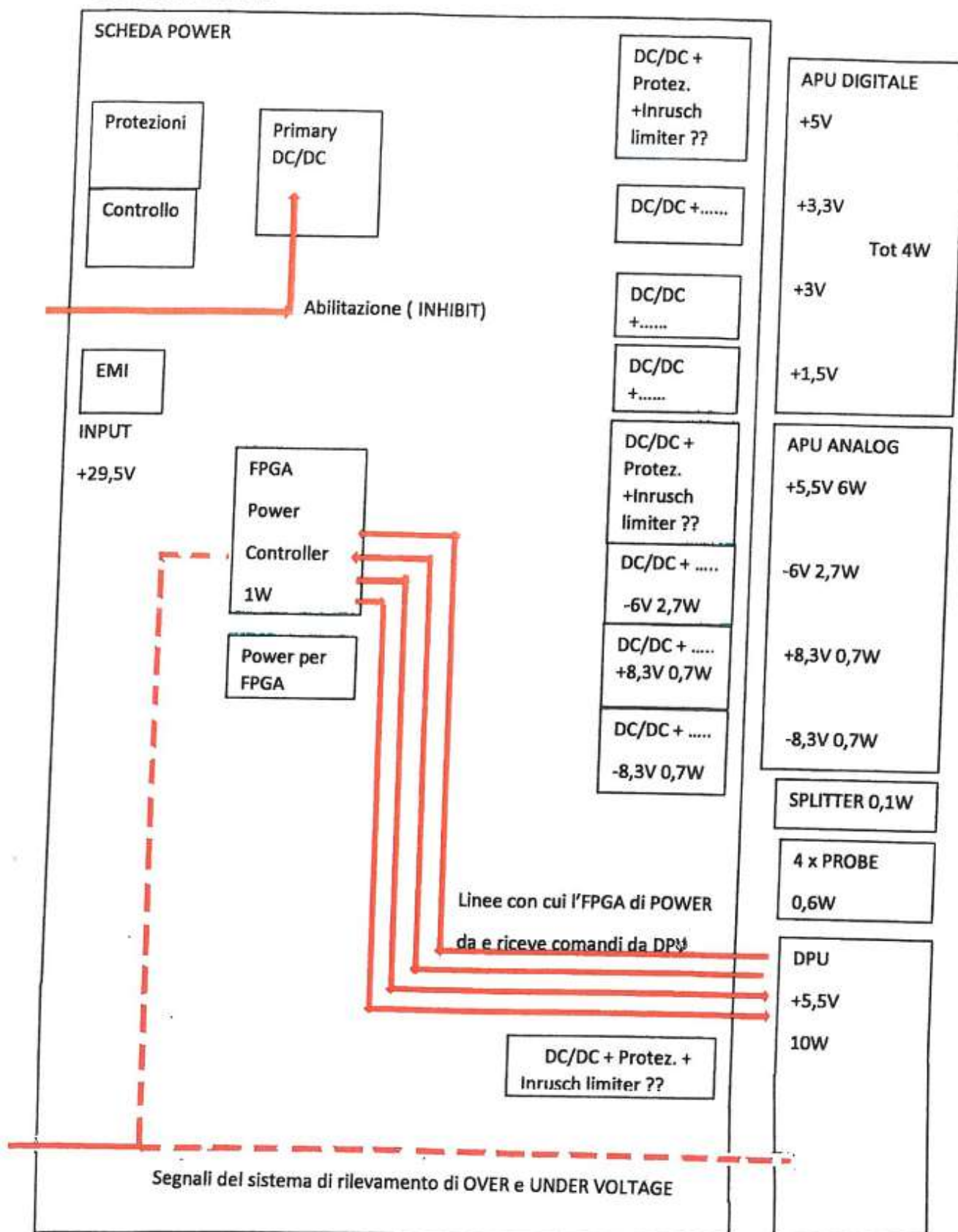
Il circuito "Controllo" sull'ingresso a 29,5V serve per attuare una protezione in caso di black-out improvviso.

Tutti le uscite verso gli utilizzatori sono dotate di POWER-GOOD (Over & Under).

RENDIMENTI E POTENZA DISSIPATA

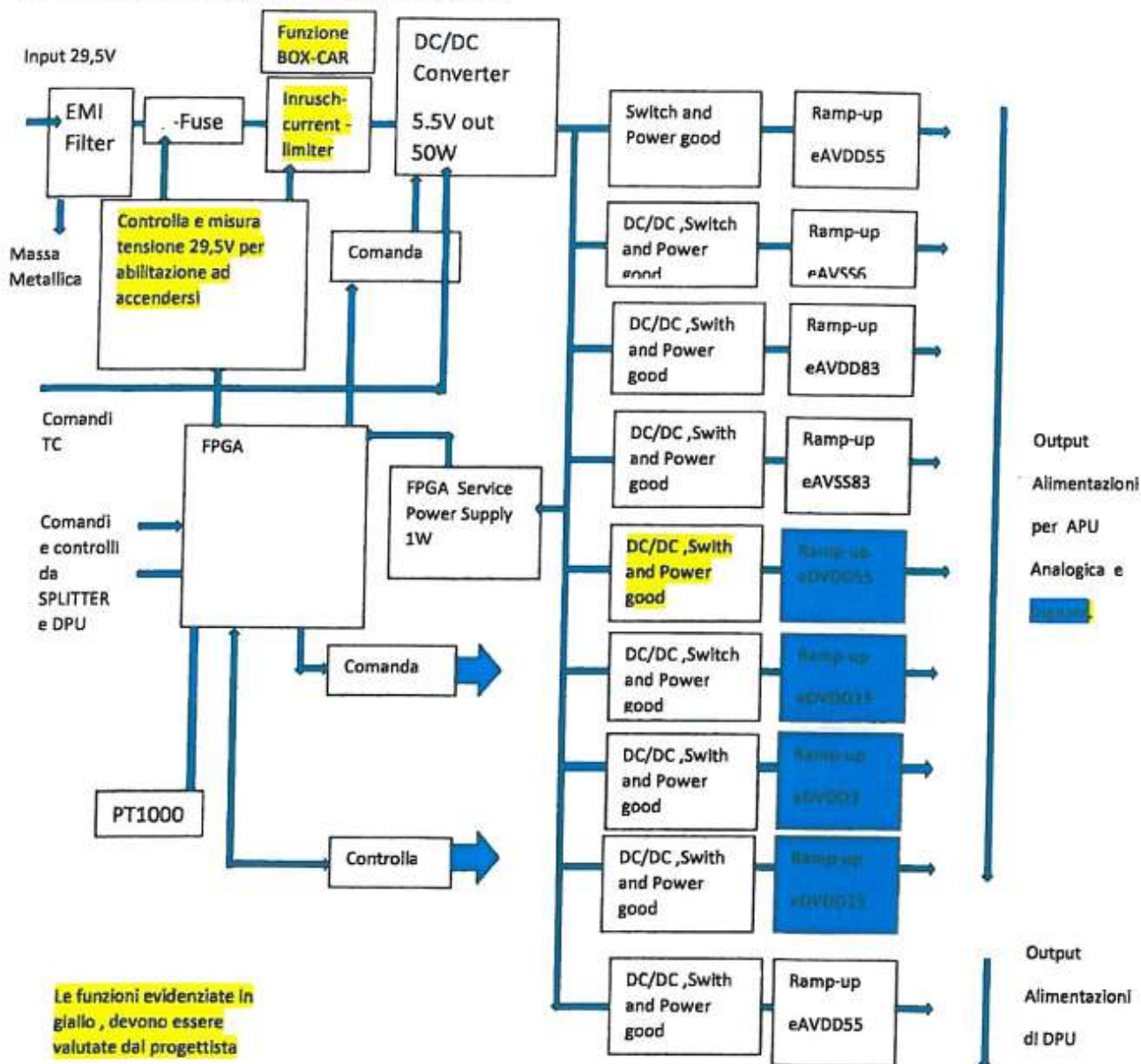


SCHEMA DELLE LINEE DI COMANDI E COMUNICAZIONE VERSO L'ESTERNO DELLA SCHEDA POWER



SCHEMA A BLOCCHI DEI FLUSSI DI ALIMENTAZIONI TRA POWER-DPU E IL RESTO DI EFD-02

Nota. Il fusibile forse è meglio metterlo prima del filtro EMI



Il comando di attivare il sistema Main o lo Spare arriva da terra tramite dei telecomandi TC e la scheda Splitter. All'arrivo di questo segnale la scheda POWER:

- 1) Attiva il DC/DC Converter principale che alimenta l'FPGA di POWER. L'FPGA attiva in sequenza (con un programma prefissato gestito dall'FPGA) tutte le uscite e le controlla anche come "RAMP-UP".
- 2) Il suo FPGA comunica a DPU lo status della parte del sistema sotto il suo controllo ed è pronto ad attuare comandi specifici dalla DPU.
- 3) In condizioni di spegnimento l'FPGA attua la sequenza opposta e si pone in ST-BY fino a quando il DC/DC Converter principale non viene spento da un TC (Splitter). Da gestire anche il BACK-OUT.

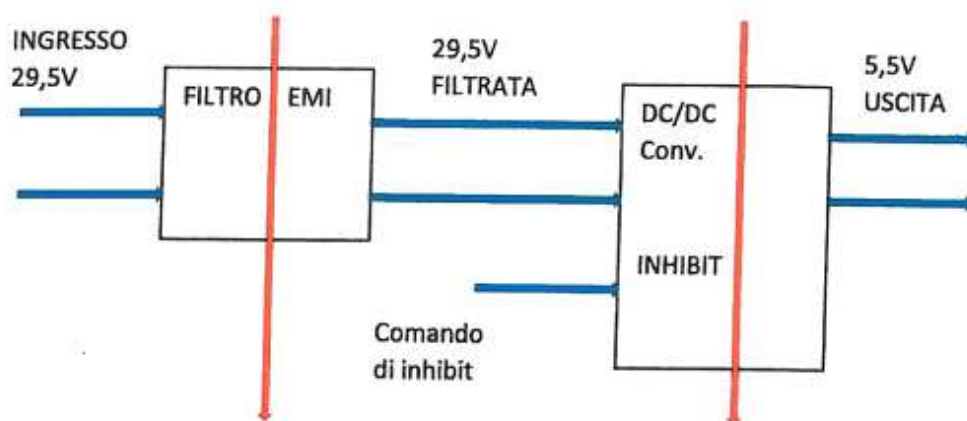
MASSE E RIFERIMENTI DI POTENZIALE

Il circuito POWER opera su diverse masse o potenziali .

Il circuito di ingresso del DC/DC Converter che lavora con la 29,5V è isolato dal circuito di uscita dove esce la 5,5V. (Si precisa che il convertitore della ECRIM che verrà fornito in C/L dovrà essere regolato a 5,5V tramite opportuno partitore esterno.

In ingresso al DC/DC è previsto un filtro EMI consigliato dal costruttore del DC/DC .

La presenza del filtro EMI fa sì che i terminali di ingresso del DC/DC non corrispondano come potenziale a quelli di linea



Il comando di INHIBIT è riferito alla zona " filtrata "

Nel circuito coesistono tre masse POWER RETURN ovvero il ritorno della 29,5V

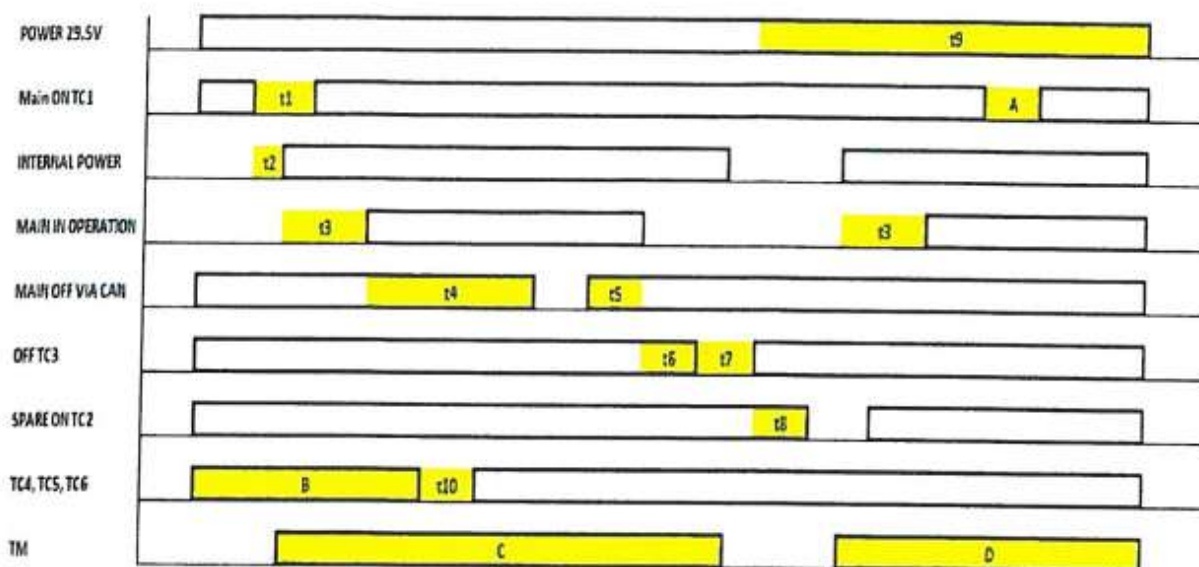
FILTRATA a cui va riferito il comando di INHIBIT

SIGNAL GND ovvero la massa dell'elettronica dello strumento EFD

Vi è infine la MASSA METALLICA ovvero il riferimento allo chassis meccanico

EFD-02 POWER .

SEQUENZA DI ACCENSIONE .



t_1 from 0.1s to ∞ - t_2 from 80 ms to 280 ms - $t_3 \sim 12.5s \pm 20\%$ - t_4 from 0 to ∞
 t_5 from 200ms to 500 ms - t_6 from 80 ms to ∞ - t_7 from 80 ms to 280 ms
 t_8 from 80 ms to ∞ - t_9 from 80 to ∞ - t_{10} from 10 ms to ∞

NOTA La sequenza OFF TC3 è solo indicativa , come detto in seguito , per il normale funzionamento è previsto prima l'arrivo di un telecomando SW di PRE-POWER-OFF e poi il comando TC3 di tipo HW

SEQUENZA DI ACCENSIONE , FASE 0 , INIZIALE .

Fino all'inizio della fase "On , EFD-02 è completamente spento e senza apprezzabili tensioni applicate ai terminali di potenza , fanno eccezione eventuali tensioni presenti sui collegamenti di trasmissione dati in quanto altre parti del satellite elettricamente connesse potrebbero essere già operative .

In fase di sviluppo considerare eventuali problemi di sovraccarico " indotti "sui segnali dei BUS CAN e RS422 o , a rovescio , problemi causati ai nostri circuiti di interfaccia .

Durante la fase "0 " che definiamo INIZIALE , per EFD-02 , il satellite invia al terminali di potenza di X05 pin 2 e 3 il positivo della 29,5V e al pin 4 e 5 il ritorno .

Vedi ICD per verificare i limiti operativi minimi contrattuali con il cliente della tensione di ingresso 29,5V

L'arrivo di questa tensione polarizza gli stadi di ingresso e precisamente :

- Il filtro EMI.
- I circuiti di controllo che gestisce i telecomandi TC1 , TC2 , TC3 , TC4 .(parte della scheda SPLITTER) .
- I circuiti di protezione (Fuse / Inrush-current-limiter ecc).
- Lo stadio di ingresso del convertitore DC/DC Primario ,

In questa condizione EFD-02 può rimanere per un tempo TO che può essere anche infinito .

Come appena detto, durante questa fase , in cui è presente solo la tensione di ingresso +29,5V su X05 , all'interno di EFD-02 sono alimentati solo e strettamente i circuiti che sono pronti a ricevere il telecomando di ON e a far partire tutto il funzionamento .

Durante questa fase il consumo elettrico deve essere molto ridotto e comunque inferiore a 1W .

Trascorso un tempo minimo di 0,1 secondi dalla presenza della +29,5V In ingresso a EFD-02 , le tensioni in ingresso si saranno stabilizzate e l'apparato è pronto a iniziare a operare .

Questa condizione di attesa del comando ON potrebbe comunque perdurare all'infinito.

SEQUENZA DI ACCENSIONE , FASE 1 .

Il comando di accensione della sezione MASTER o di quella SPARE arriva dal satellite con i telecomandi TC1, TC2 .

La sequenza di accensione viene gestita in questa fase dalla scheda SPLITTER che ricevendo i segnali TC1 (MAIN ON) oppure TC2 (SPARE ON) invia il comando di INHIBIT al DC/DC Converter di una o dell'altra sezione .

I circuiti della scheda SPLITTER che sovrintendono alle ricezioni funzioni TC essendo determinanti per l'accensione di EFD-02 sono duplicati .

Nel diagramma temporale di cui sopra il tempo che intercorre tra la presenza in ingresso della tensione +29,5V e l'arrivo del comando di accensione (ipotizziamo MAIN ON) è riportato come TO .

La durata del segnale di telecomando MAIN-ON indicata in diagramma come T1 è di 160+-20ms.

Si procede ipotizzando per semplicità che arrivi il comando per la sezione MAIN

Con l'arrivo del comando di MAIN ON , dopo il ritardo T2 (che serve a "validare" il comando ricevuto) , il convertitore Primary DC/DC viene abilitato a generare in uscita la tensione +5,5V chiamata INTERNAL POWER .

La presenza della tensione +5,5V INTERNAL POWER avvia tutto il funzionamento di EFD-02 .

- 1) Durante la fase di accensione del Primary DC/DC Converter è estremamente importante che il picco di corrente sull'ingresso della +29,5V sia limitato e rientri nei valori indicati nell'ICD ovvero:
 - Che la potenza assorbita in fase di Start-Up sia inferiore- uguale a 88,5W
 - Che "Starting current max/duration " rientrino nei valori di 3A / 5msec.
- 2) Nel circuito di ingresso della +29,5V è importantissima la presenza di un circuito di protezione che possa escludere un ramo dal " BUS " a +29,5V, in caso di cortocircuito permanente provocato direttamente nei circuiti connessi direttamente sulla +29,5V .
- 3) La +29,5V alimenta in parallelo i due stadi di ingresso MAIN e SPARE per cui i due primari dei Primary DC/dc Converter e qualche altro circuito risultano esattamente in parallelo.
Un male augurato corto in ingresso di un DC/DC ecc. anche di una sola sezione, trascinerebbe permanentemente giù il BUS a +29,5V mettendo fuori servizio anche l'altra sezione e di conseguenza l'uso di tutta l'apparecchiatura .
- 4) Va pertanto implementato un circuito-soluzione-ecc. ecc. particolare che escluda questa eventualità .

In altre parole in caso di cortocircuito di uno stadio di ingresso il sistema lo deve poterlo escludere e abbandonare , salvando l'operatività del canale di riserva.

- 5) NOTA A CHIARIMENTO. Questa male augurata eventuality non sarebbe stata presente se ci fossero state due linee di alimentazione separate per i canali MAIN e SPARE.
- 6) Il satellite monitorando le telemisure e in particolare TM1 e TM2 constaterà lo stato di funzionamento. In caso di "non correttezza" ovvero comando sul canale MAIN e mancata presenza della tensione TM1 , l'operatore a terra prenderà le contromisure opportune (spegnendo la sezione MAIN e avviando la sezione SPARE).

SEQUENZA DI ACCENSIONE , FASE 2 .

Non appena la +5,5V (INTERNAL POWER) è presente all'uscita del "Primary DC/DC " si attiva subito il DC/DC che genera la "Power per FPGA " e pertanto si attiva questo l'FPGA interno alla scheda POWER .

Non appena l'FPGA 6 attivo questo controlla in sequenza :

- 7) I segnali di allarme o di Power OK generati nei circuiti di controllo e protezione di ingresso .
- 8) I parametri relativi alla stessa +5,5V .
- 9) Se qualche tipo di allarme fosse presente , l'FPGA potrà tentare "se possibile" fino a tre volte delle procedure di recupero , mentre in caso contrario o di esito negativo il sistema si deve fermare definitivamente .
- 10) L'operatore al satellite sempre monitorando le telemisure e in particolare TM1 e TM2 constaterà lo stato di funzionalità prenderà le contromisure opportune .
- 11) Se tutto OK , l'FPGA attuerà il programma di accensione standard che prevede come primo passo l'abilitazione dell'erogazione della tensione +5,5V alla scheda DPU .
- 12) Questa erogazione verso la DPU deve avvenire in modo tale che l'attivazione della stessa non generi sovracorrenti oltre i 48W di targa. In caso contrario l'erogazione deve avvenire con l'ausilio di INRUSCH-CURRENT-LIMITER o similari.

SEQUENZA DI ACCENSIONE , FASE 3 .

- 13) Superata la fase 2 , DPU è alimentata ed è in condizioni di ricevere dall'FPGA di POWER le informazioni riguardo la situazione relativa alla fase "2".
- 14) La generazione delle tensioni ausiliarie interne alla DPU (3,3V 2,5V ecc.) avviene e viene gestita direttamente dall'FPGA di DPU .
- 15) La DPU a questo punto fornisce all'FPGA di POWER le informazioni/comandi (step-by-step o a blocchi) per procedere alla accensione di tutto EFD-02 .
Bisognerà valutare la convenienza a procedere in modalità step-by-step o a blocchi .
- 16) L'attivazione di DPU attiverà le comunicazioni CAN con il satellite e da lì in avanti da terra si potranno avere precise informazioni di ciò che succede a bordo.
Il canale CAN è destinato alle comunicazioni di servizio , comandi, controlli e potrà essere utilizzato anche per gestire eventuali varianti nei programmi di accensione spegnimento.
- 17) L'FPGA di POWER seguendo le istruzioni di DPU abiliterà le varie uscite delle tensioni di alimentazione verso APU .
- 18) La sequenza di accensione da seguire è:

Prima la coppia di tensioni analogiche +5,5V e -6V per APU ANALOGICA

Poi le 4 tensioni per alimentare i circuiti di APU DIGITALE

Poi le due tensioni per i PROBE +8,3V e -8,3V

Infine la tensione Vpol gestita da APU

19) Si ripete : la sequenza di abilitazione delle tensioni seguirà il programma di cui sopra determinato da specifiche esigenze dei circuiti di APU .

20) Per ogni tensione fornita l'FPGA di POWER controllerà

- La tensione erogata direttamente o tramite il relativo DC/DC Converter con l'ausilio dell'associato POWER GOOD .
- La limitazione della corrente di start-up limitando lo slew-rate.
- Controllerà il tutto in modo che la potenza assorbita in ingresso sulla +29,5V non superi quella prevista.

21) Tutti i dati relativi alle correnti tensioni, Power-good ecc. disponibili , verranno inviati dall'FPGA alla scheda DPU per essere mandati a terra .

22) In particolare per le tensioni + - 8,3V dei PROBE , l'FPGA di Power monitorerà continuamente e invierà a terra i valori delle correnti assorbite .

22) In caso di problemi o situazioni particolari o eventi o telecomandi inviati da terra, deve essere possibile variare aggiornare ecc. il programma di accensione (sequenza) delle varie tensioni di uscita (Vedi punti 15 e 16 sopra).

SEQUENZA DI LAVORO , FASE 4.

23) A questo punto EFD-02 è operativo

24) Durante il normale funzionamento, a cadenza da stabilirsi, (forse su richiesta di DPU o a fronte di variazioni di parametri) l'FPGA di POWER invia a DPU lo " Status " della parte POWER .

Al contrario DPU invierà a terra continuamente i valori delle correnti assorbite dalle utenze della +- 8,3V

SEQUENZA DI BLACKOUT, FASE X

25) In caso di Blackout chiaramente incontrollato e improvviso chiaramente l'FPGA di POWER con il controllo sulla +29,5V di ingresso si accorge per primo di una condizione anomala e improvvisa.

26) In questa situazione l'FPGA comunica in modo "diretto a tempo 0 " questo allarme a DPU che innescherà immediatamente nei limiti del possibile la sequenza di spegnimento .

27) L'ordine di priorità è legato a due fattori

Primo non causare guasti all'HARDWARE

Salvare più dati possibili

Inviare se possibile info a terra su questa condizione anomala.

SEQUENZA ANOMALA , FASE Y

28) Può accadere che durante il normale funzionamento arrivi il comando di OFF (TC3) senza il dovuto preavviso ovvero l'arrivo via CAN del telecomando SW di PRE-POWER-OFF.

29) In questo caso la scheda SPLITTER riceve e processa direttamente il telecomando di "OFF", e procede inevitabilmente a spegnere .

30) In questa situazione anomala si procederà come alla sequenza " FASE X".

SEQUENZA DI LAVORO FASE 5

- 31) Ritorniamo al normale funzionamento e passiamo a considerare la fase finale del lavoro ovvero lo spegnimento .
- 32) In questa fase, normale e coordinata , il sistema EFD-02 riceve dal satellite il comando di PRE-POWER OFF . Questo comando giunge tramite il bus CAN alla scheda DPU
- 33) La scheda DPU invia ordine alla scheda APU "parte digitale" di predisporre in condizioni di spegnimento e di attuare su APU "parte analogica" le misure atte a prevenire condizioni potenzialmente pericolose.(APU è la parte di elettronica più sensibile a condizioni di alimentazione improprie
- 34) Non appena APU ha attuato quanto necessario comunica a DPU il suo OK e DPU dà ordine all'FPGA di POWER di spegnere in sequenza prestabilita le alimentazioni di APU .
- 35) Giunti a questo punto a trascorso il tempo T5 , DPU si predispose per lo spegnimento e dà ordine all'FPGA di POWER di spegnere anche se stessa .
- 36) Da questo momento in poi risulta :
 - Convertitore Primary DC/DC Converter acceso.
 - Presenza della tensione +5,5V che alimenta solo la scheda POWER .
 - FPGA di POWER attivo ma in ST-BY .
 - Alimentata la parte della scheda SPLITTER che sovrintende i telecomandi TC .
- 37) La situazione è pertanto di pseudo " IBERNAZIONE " in attesa del successivo comando di spegnimento tramite il telecomando hardware TC via scheda SPLITTER.
Non esiste altra via per riprendere a funzionare , bisogna per forza passare per un ciclo di OFF e successivo riavvio completo
- 38) Il sistema si pone così in attesa di ricevere il segnale " OFF " tramite il comando TC3 .
- 39) Premesso che il telecomando "OFF" possa arrivare quando il satellite, l'arrivo di questo dovrebbe avvenire come da tabella (tempo T6) dopo un tempo che può variare da 3sec a infinito .
- 40) All'arrivo del segnale TC3 il sistema si blocca non istantaneamente ma dopo il tempo T7 che può variare da 80 a 280msec.
- 41) A questo punto tutto EFD-02 è ritornato nella condizione di cui al termine della fase "0".

IN GENERALE, FASE 6

- 42) Qualora il satellite decidesse di attivare la sezione SPARE di EFD-02 , a partire dalla fase 1 sopra descritta , la procedura seguirà esattamente le stesse modalità .
- 46) Qualora il satellite inviasse il comando di SPARE-ON quando è attivo MAIN , la logica inserita nel circuito SPLITTER non permette di attuare il comando .
In altre parole se il sistema è attivo con una delle due sezioni , ignora il comando di attivazione dell'altra se non dopo essere passato prima per un ciclo di "OFF" .
- 47) Qualora un telecomando TC non fosse più impulsivo ma continuo , lo stesso dopo un tempo da stabilirsi deve essere considerato comunque "disattivato" .
La ripresa ipotetica del comando dovrà poter avvenire solo dopo un minimo tempo di OFF .

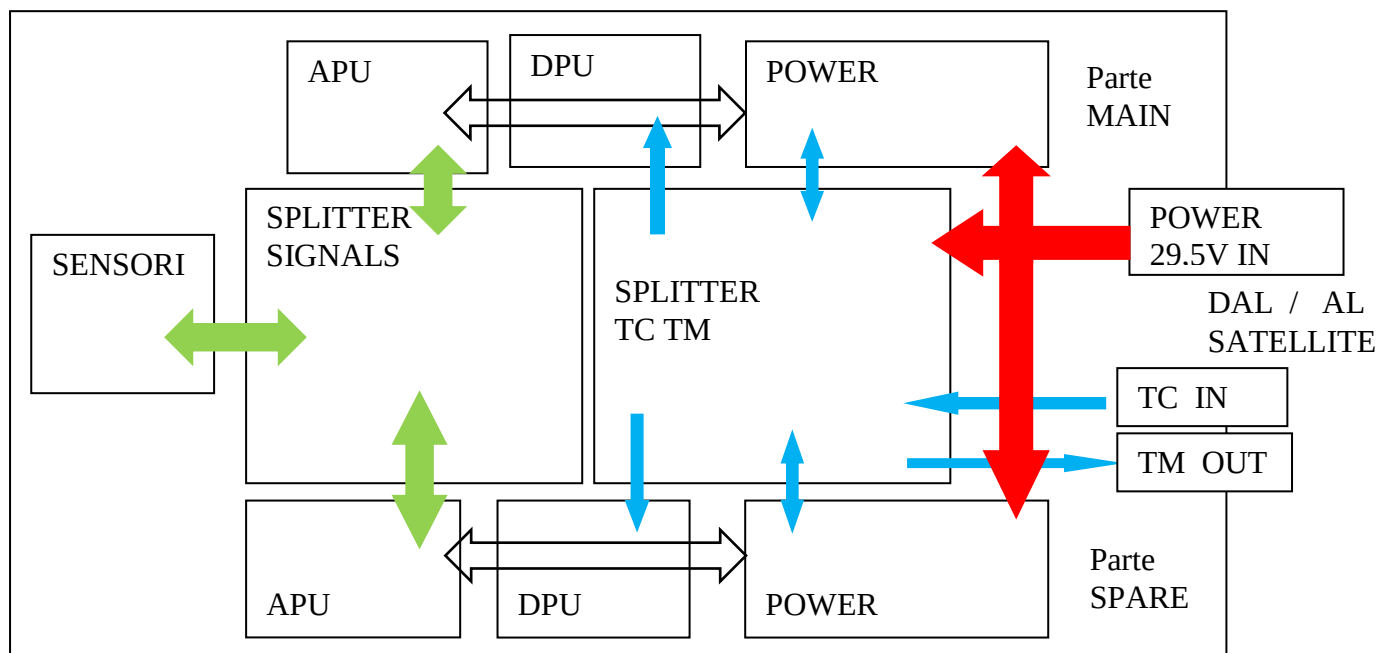
SPLITTER

SCHEDA SPLITTER

La scheda SPLITTER nell'ambito del progetto EFD-02 svolge tre importanti e distinte funzioni:

- 1) Smista i segnali in arrivo e partenza verso i 4 PROBE alla sezione MAIN o SPARE secondo quella che al momento è attiva.
 - 2) Riceve ed elabora i telecomandi primari TC che arrivano dal satellite
 - 3) Invia al satellite gli House-Keeping TM relativi alle condizioni primarie di vita del sistema EFD-02
- Si tratta di telesegnali analogici.

Nello schema a blocchi che segue si evidenzia come la scheda SPLITTER sia lo snodo di tutte le attività del sistema EFD-02



TELECOMANDI TC. Ad EFD-02 giungono quattro telecomandi TC1, TC2, TC3, TC4. Questi telecomandi sono generati dal satellite ed arrivano ad EFD-02 in maniera HW (richiusura a PWR RTN). La ragione sta nel fatto che questi telecomandi essendo quelli che determinano l'accensione e solo dopo il successivo funzionamento, non possono essere inviati con tecniche di comunicazione digitali. Si fa riferimento all'ICD per un'esatta definizione dei parametri elettrici.

Il significato associato ai quattro telecomandi è:

- | | |
|-----|---|
| TC1 | Accensione sezione MAIN |
| TC2 | Accensione sezione SPARE |
| TC3 | Spegnimento della sezione al momento attiva |
| TC4 | Reset |

I telecomandi sono pertanto comuni alle due sezioni MAIN e SPARE, ne consegue che i circuiti di ricezione di questi TC sono posti nel circuito Splitter che è comune alle due sezioni. Ne consegue che non essendo questo circuito duplicato, l'affidabilità di questo deve essere massima,

Come detto sopra, le funzioni svolte della scheda SPLITTER sono relative ai tre punti sopra citati, in particolar modo:

La sezione della scheda Splitter che tratta la parte SIGNALS svolge le seguenti funzioni

- 1.1) Invia ai sensori le alimentazioni generate dalla parte MAIN o dalla parte SPARE secondo quella che è attiva. (Le alimentazioni provengono da APU.)
- 1.2) Nel sistema deve essere integrata la funzione che permette tramite telecomando di disalimentare uno o più singolo sensore.
Il telecomando arriva tramite la scheda APU, si ipotizza con linea bilanciata.
- 1.3) Invia ai sensori la tensione di polarizzazione generata o dalla parte MAIN o da quella SPARE.
- 1.4) Riceve i segnali dai sensori e li invia o alla parte MAIN o da quella SPARE.
- 1.5) Riceve i segnali dai sensori termici posti nei Sensori e li invia o alla parte MAIN o a quella SPARE.

La sezione della scheda Splitter che tratta la parte dei segnali TC svolge le seguenti funzioni

- 2.1) La sezione della scheda SPLITTER che opera sulla parte POWER e TC è alimentata direttamente dalla tensione 28,5 V presa a valle del filtro EMI,
Considerando l'importanza della funzione della scheda, l'alimentazione deve essere particolarmente curata e protetta in modo che possibili disturbi o transienti non ne compromettano il funzionamento.
- 2.2) Riceve e isola con optoisolatore "ridondato" i telesegnali TC inviati HW dal satellite.
- 2.3) Filtra i telesegnali TC facendo in modo da eliminare comandi non conformi alle specifiche dell'ICD.
- 2.4) Decodifica i telecomandi TC1, TC2, TC3 individuando quale delle due sezioni MAIN o SPARE deve essere accesa o spenta. Comanda quindi l'accensione tramite il comando INHIBIT del DC/DC primario relativo (MAIN o SPARE).
- 2.5) Una logica inserita nel circuito permette di superare un eventuale impasse dovuto a comandi TC non congrui (Doppi, permanenti ecc.)
- 2.6) Decodifica il Telecomando TC4, con le stesse modalità dei comandi TC1 TC2 e TC3.
- 2.7) I segnali TC3 e TC4 vengono ulteriormente e doppiamente optoisolati e vengono inviati alla scheda POWER
- 2.8) La scheda SPLITTER esegue una misura del livello della tensione di alimentazione 29,5V e genera dei telesegnali (on/off o di misura) alla scheda POWER in modo tale da poter gestire al meglio eventuali condizioni di OVER o UNDER Voltage. Questa funzione può essere importante per gestire al meglio una condizione di BLACK-OUT improvviso magari con l'aiuto di un BOX-CAR.
- 2.9) Il telecomando di RESET è stato previsto per poter innescare in maniera HW una eventuale procedura di riprogrammazione nel caso in cui il sistema entrasse il loop.
- 2.10) Nello sviluppo di questa parte di circuiti va tenuto presente che il loro assorbimento (presente anche ad apparato spento) deve rientrare nei limiti imposti dell'ICD.

La sezione della scheda Splitter che tratta la parte dei segnali TM svolge le seguenti funzioni

- 3.1) Genera i telesegnali TM1 o TM2 secondo le modalità previste sull'ICD.
- 3.2) I segnali TM1 e TM2 vengono inviati comunque ma solo quello della sezione attiva, cioè TM1 -MAIN o TM2-SPARE ha un valore significativo in Volt (circa 2,5V).
- 3.3) Genera i telesegnali TM3 e TM4 utilizzando delle resistenze RT1000 poste nelle schede POWER al fine di poter inviare a terra un'informazione analogica veloce delle temperature delle due schede POWER. Logicamente la temperatura sarà più elevata per la scheda POWER al momento attiva.

Nota 1

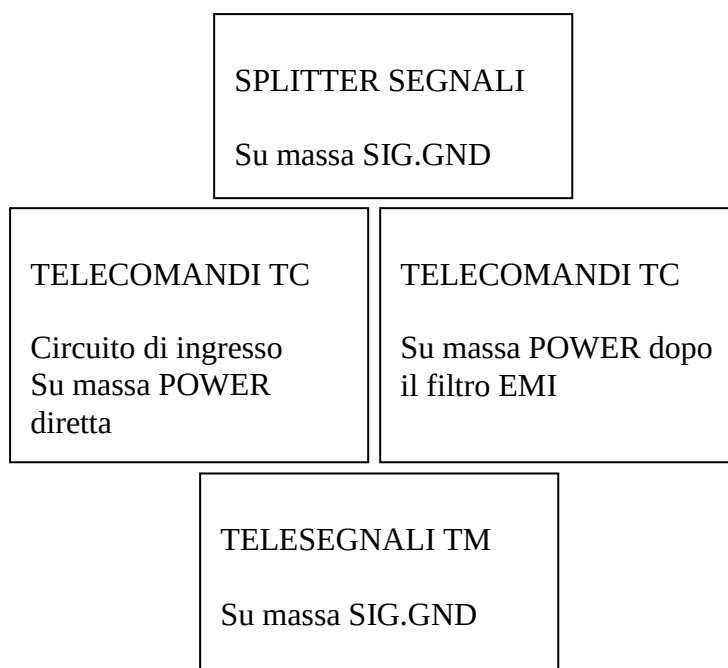
Con riferimento al punto 2.8) dovrà essere valutato e deciso se il controllo del valore della tensione di alimentazione 29.5V sia meglio farlo nella scheda SPLITTER o in ciascuna scheda LVPS.

Nota 2

Lo schema della parte selle scheda splitter che tratta i segnali dei sensori (Probe) viene fornito in C/L così come le Liste materiali. Presso i laboratori INFN è visibile anche un prototipo di laboratorio dove questa parte del circuito era a suo tempo integrata direttamente nella scheda APU ADAPTER che in fase di sviluppo realizzava le connessioni tra APU, LVPS e DPU.

Data la criticità dei segnali trattati, (i segnali dei sensori sono dell'ordine dei micro-volt e le bande vanno dalla Dc a 4-5 MHz) è indispensabile acquisire tutta l'esperienza che il progettista di APU ha sviluppato in anni di lavoro.

Per completezza riassumiamo che dentro la scheda SPLITTER ci sono quattro circuiti



I connettori di IN e OUT sono riportati nel disegno meccanico.

La PIN-FUNCTION non è fissata nel dettaglio ma deve tener presente le necessità di interconnessioni sul BACK-PLANE.

Sul BACK-PLANE, la connessione più critica è quella tra APU e DPU dove i connettori sono utilizzati al 98%.

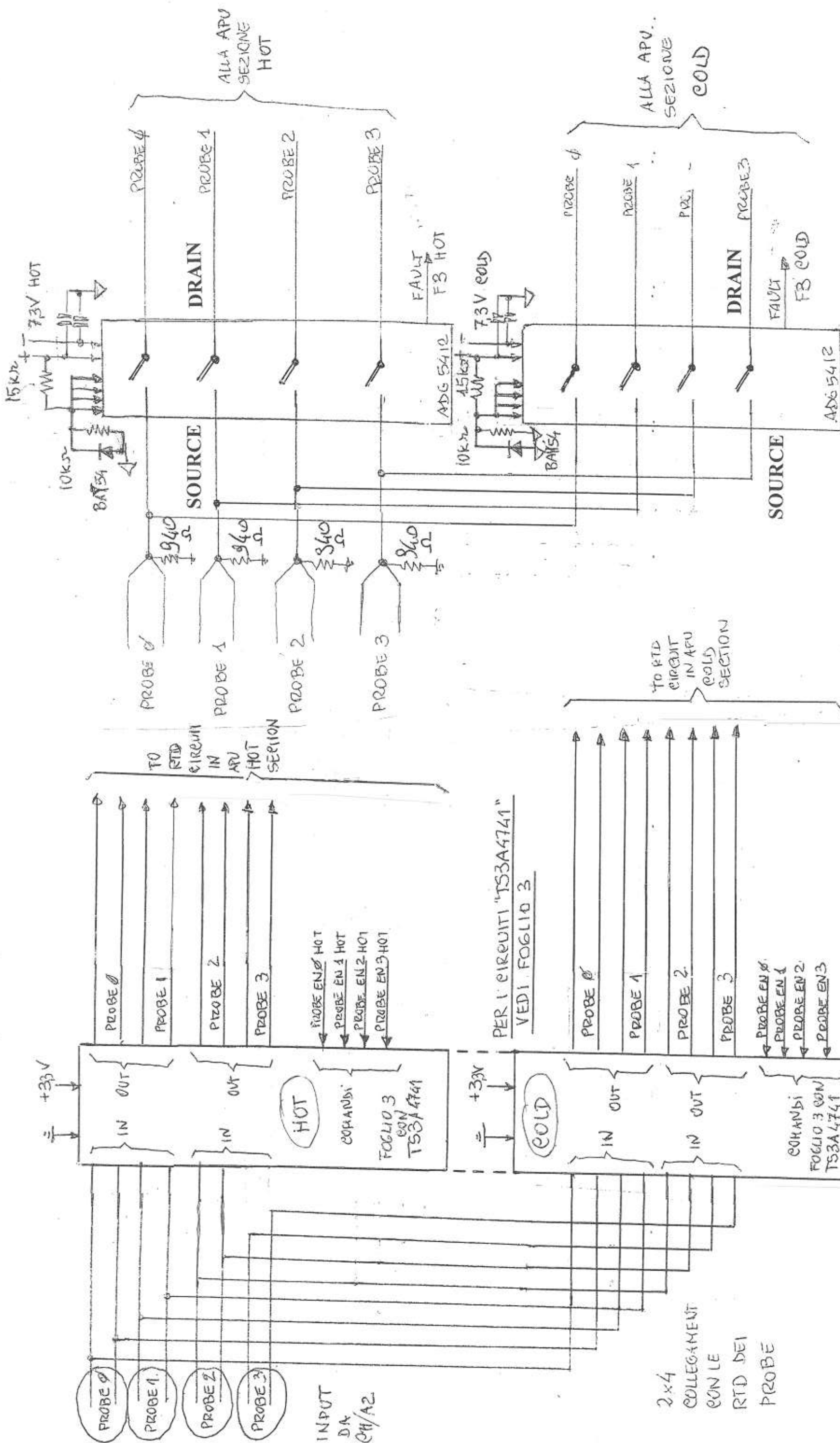
Nel caso specifico della scheda SPLITTER però, il punto cruciale è rappresentato dalla connessione tra la scheda SPLITTER parte analogica e i connettori che vanno tramite cablaggio al pannello posteriore. Questa connessione ha grossi problemi di rumore in quanto i segnali in transito sono dell'ordine del micro-volt.

Le caratteristiche del comando INHIBIT che lo SPLITTER deve fornire ai DC/DC converter e riportato nel data sheet dei convertitori DC/DC della ECRIM allegato

Si allega anche il data-sheet del filtro EMI sempre della ECRIM.

Nelle pagine successive sono riportati:

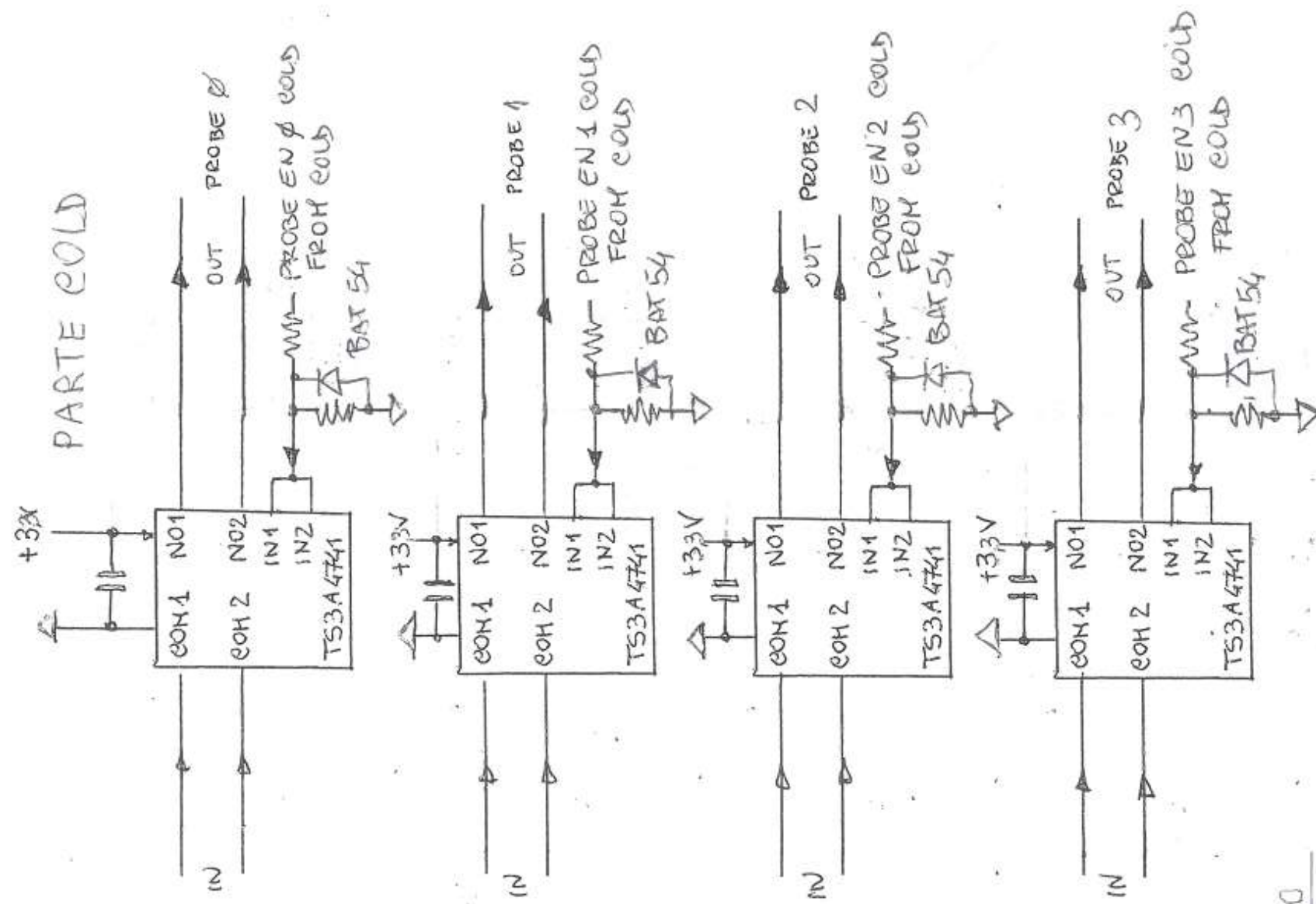
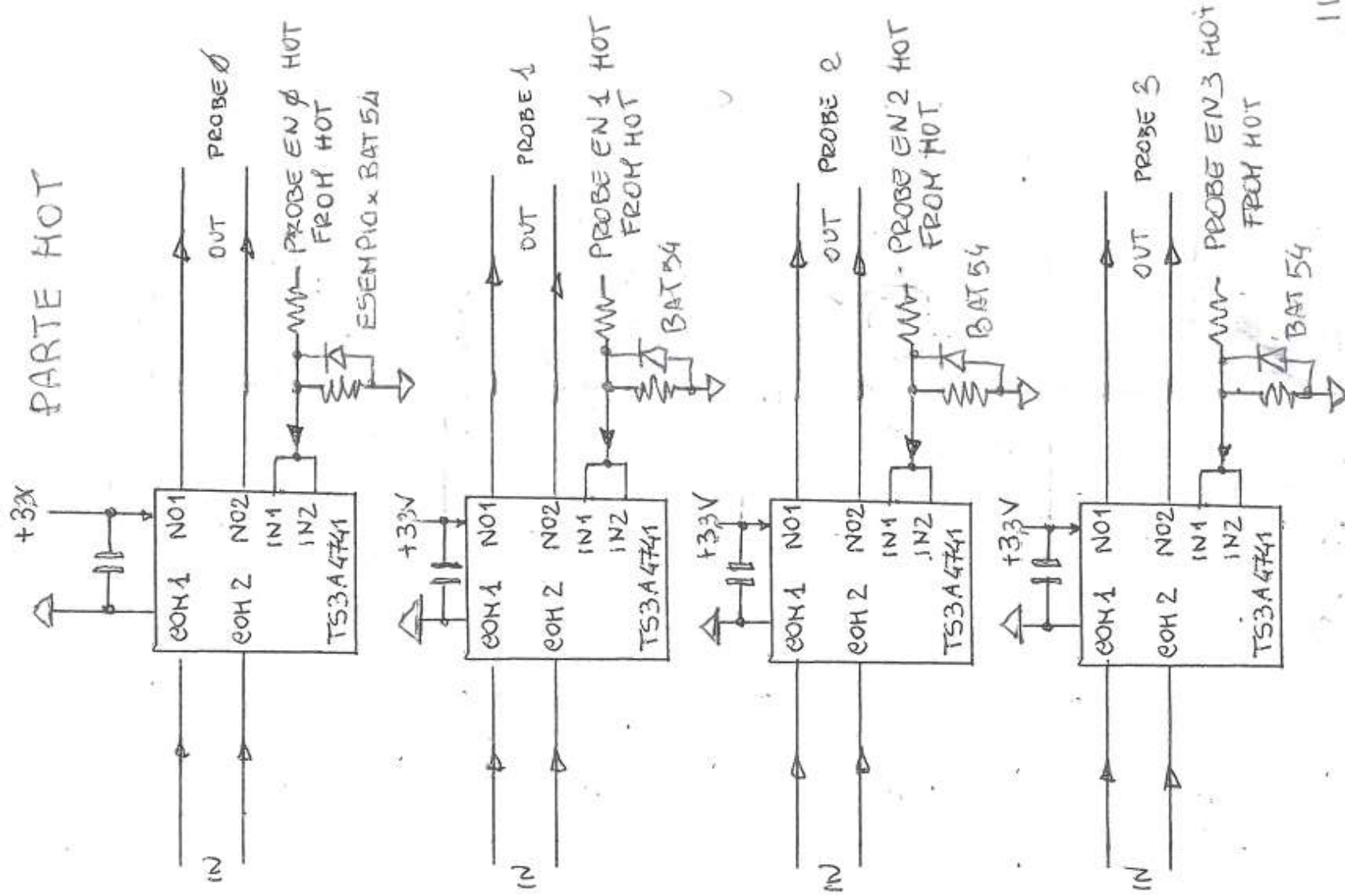
- Schemi di principio per la parte Signal-Splitter (7 pagine)
- Schemi di principio per la parte Splitter TM (6 pagine)
- Schemi di principio per la parte Splitter TC (2 pagine)



DIODI DI PROTEZIONE 1N5404S WT1G
ON-SEMICONDUCTOR

COMMUTAZIONE DEI SEGNALI PROVENIENTI DAI PROBE

COMMUTAZIONE DEI SENSORI TERMICI DEI PROBE



IL PARTITORE RESISTIVO

HA UNA 10KΩ IN SERIE AL SEGNALE

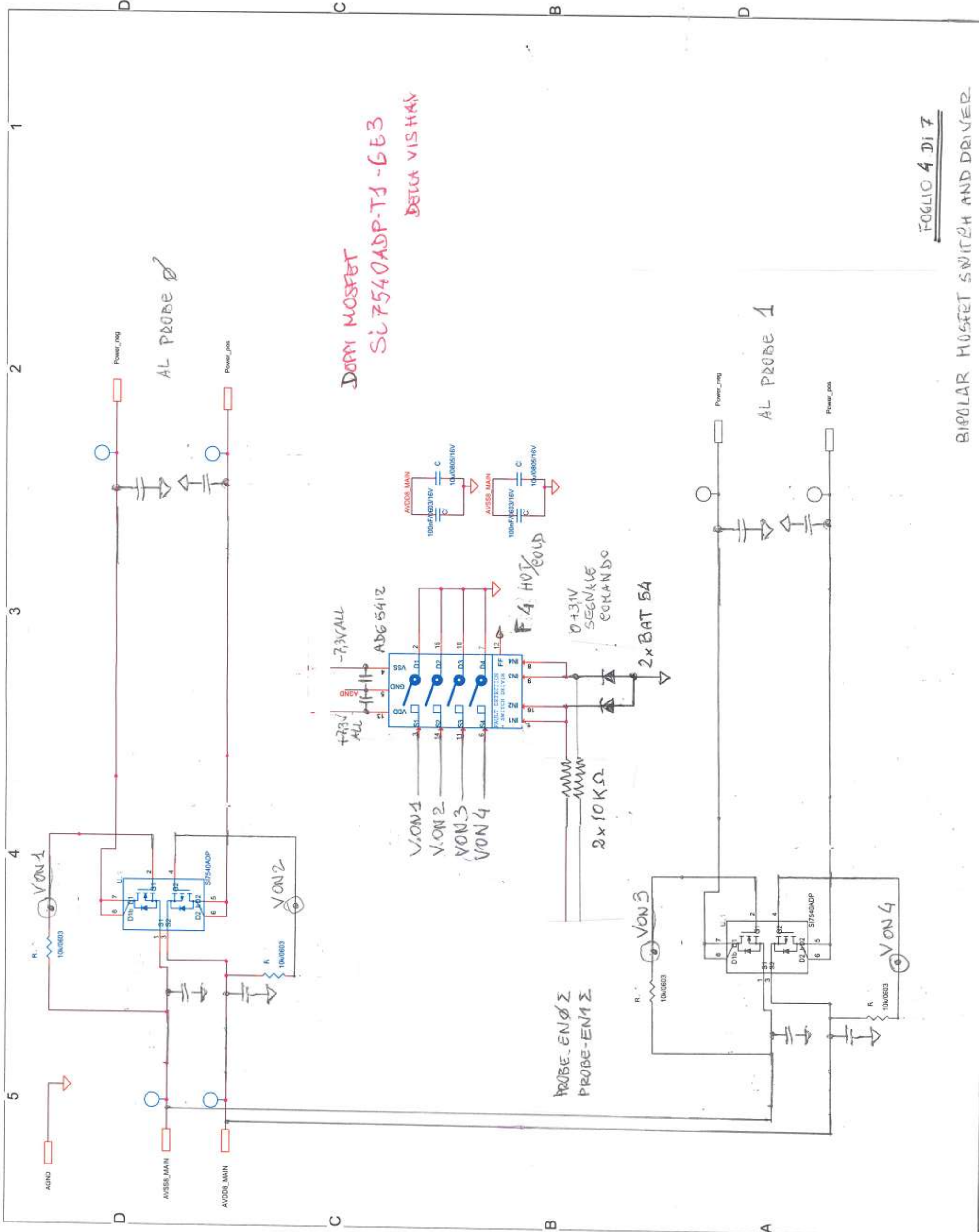
E UNA 10KΩ VERSO MASSA

E IN PARALLELO ALLA 10KΩ UN DIODO

NSUBAT545W1G POLARIZZATO INVERSAMENTE (ABBREVIATO BAT54)

SPLITTER PARTE APV FOGLIO 3 DI 7

5 4 3 2 1



DOPPI MOSFET
SI7540ADP-TJ-GE3
DELTA VISHAY

AL PROBE

AL PROBE 1

PROBE-EN1
PROBE-EN2

F4 HOT/COLD

0 +3.1V
SEGNALE
ECCANDO

2x BAT 5A

2x 10KΩ

1 2 3 4 5

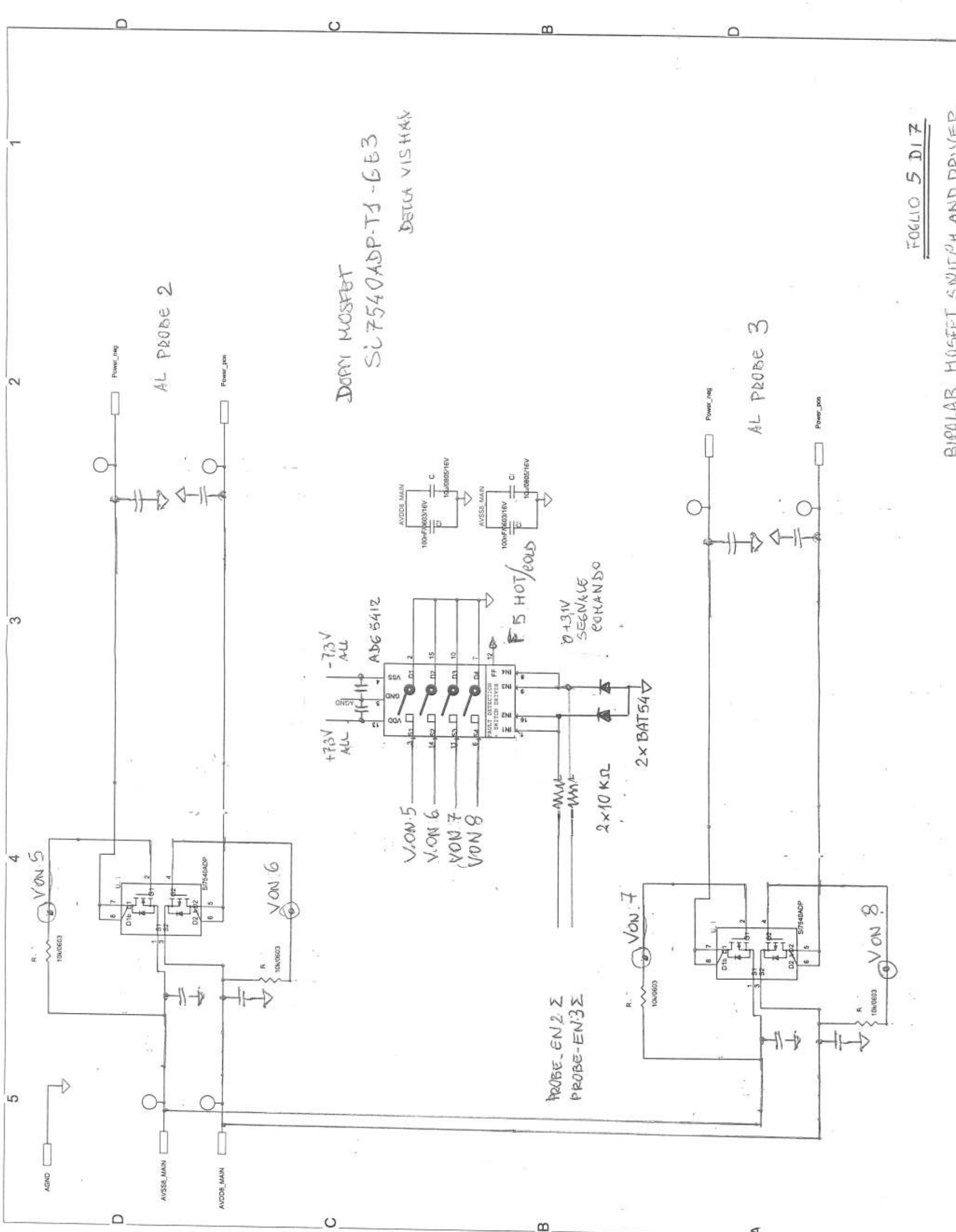
AL PROBE 2

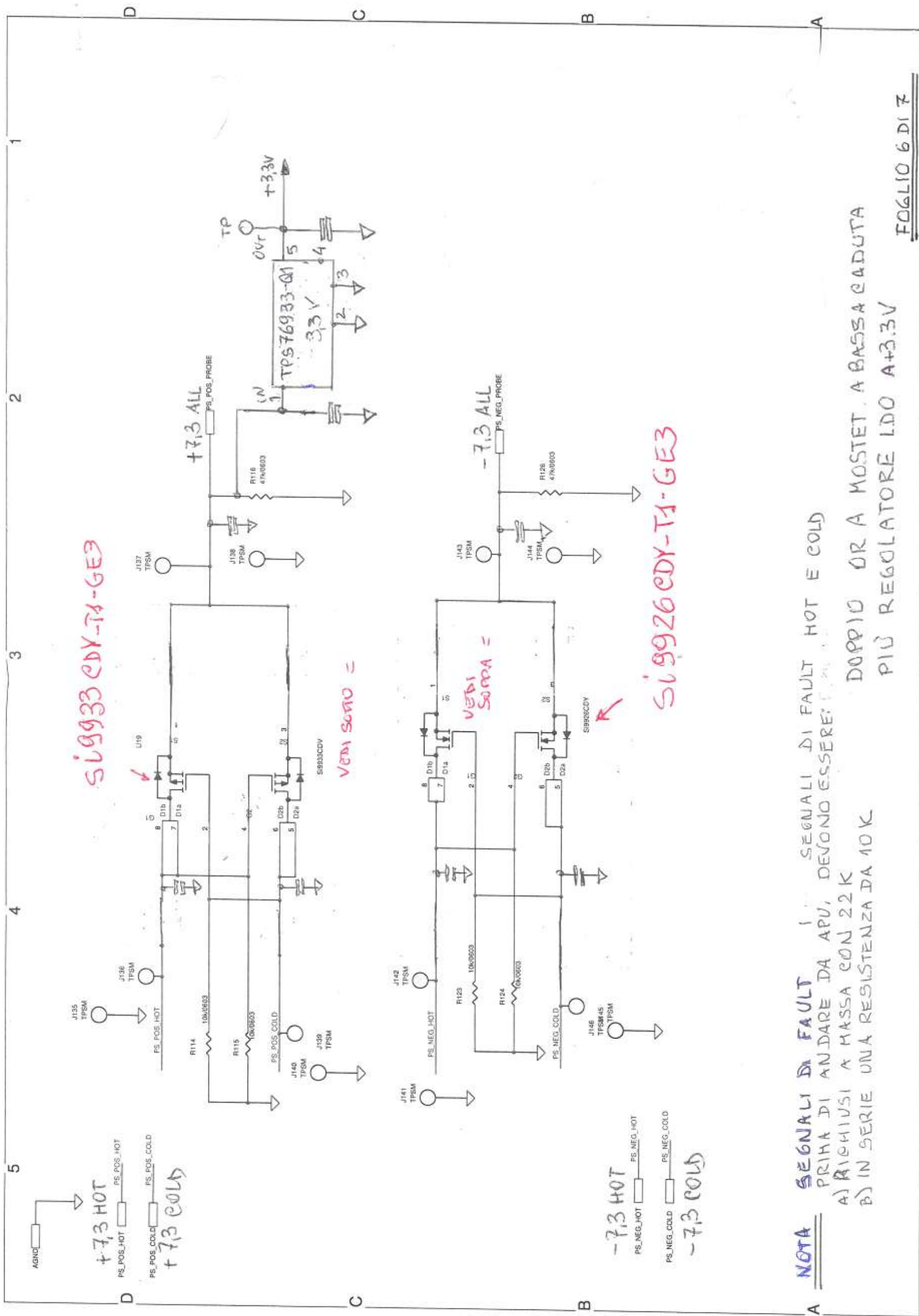
DOAN MOSFET
SI7540ADP-TJ-GE3
DELTA VISHAY

AL PROBE 3

F06L10 5 D17

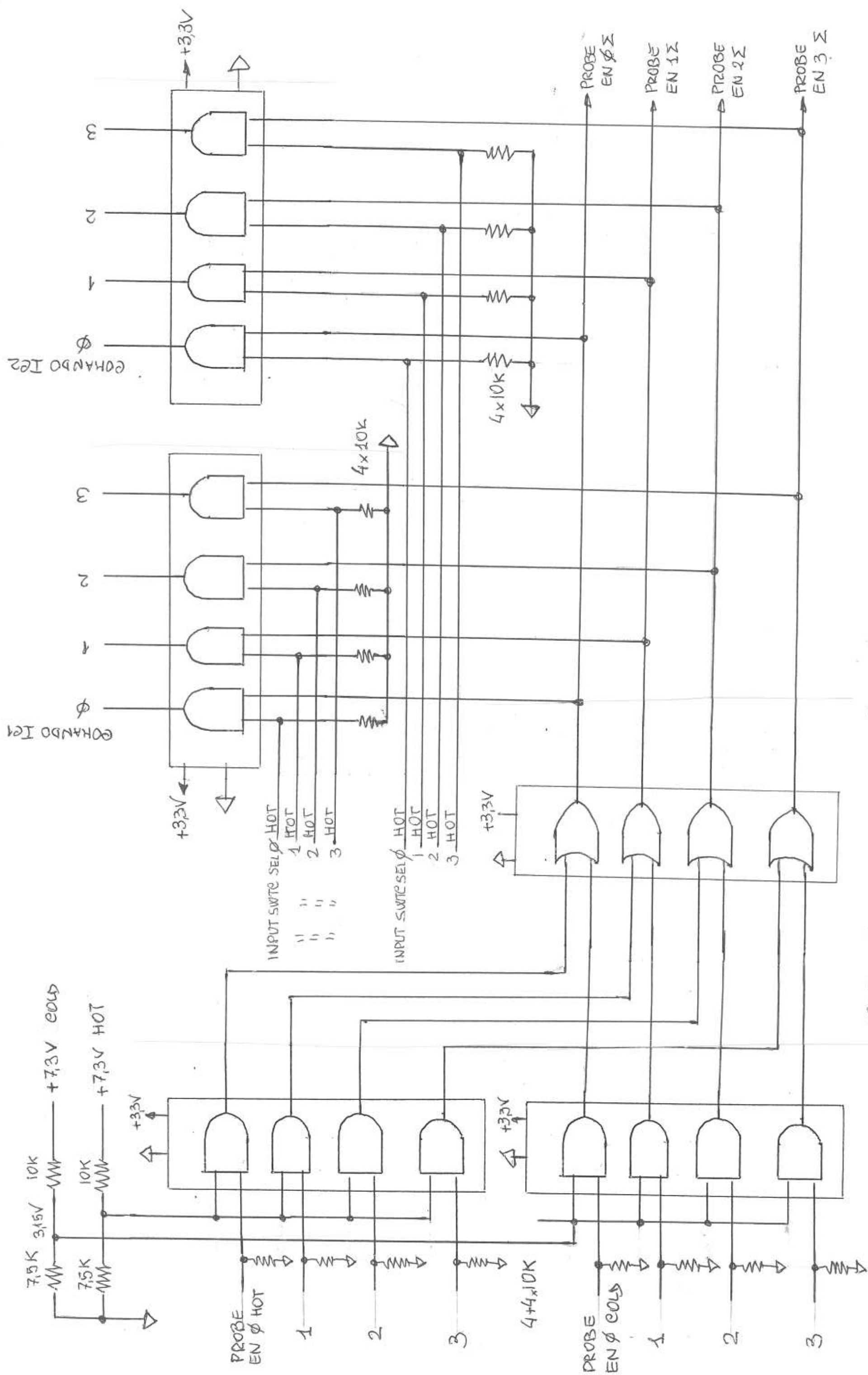
BIPOLAR MOSFET SWITCH AND DRIVER





NOTA SEGNALI DI FAULT I SEGNALI DI FAULT HOT E COLD
 PRIA DI ANDARE DA APU, DEVONO ESSERE:
 A) RICHIAVI A MASSA CON 22K
 B) IN SERIE UNA RESISTENZA DA 10K

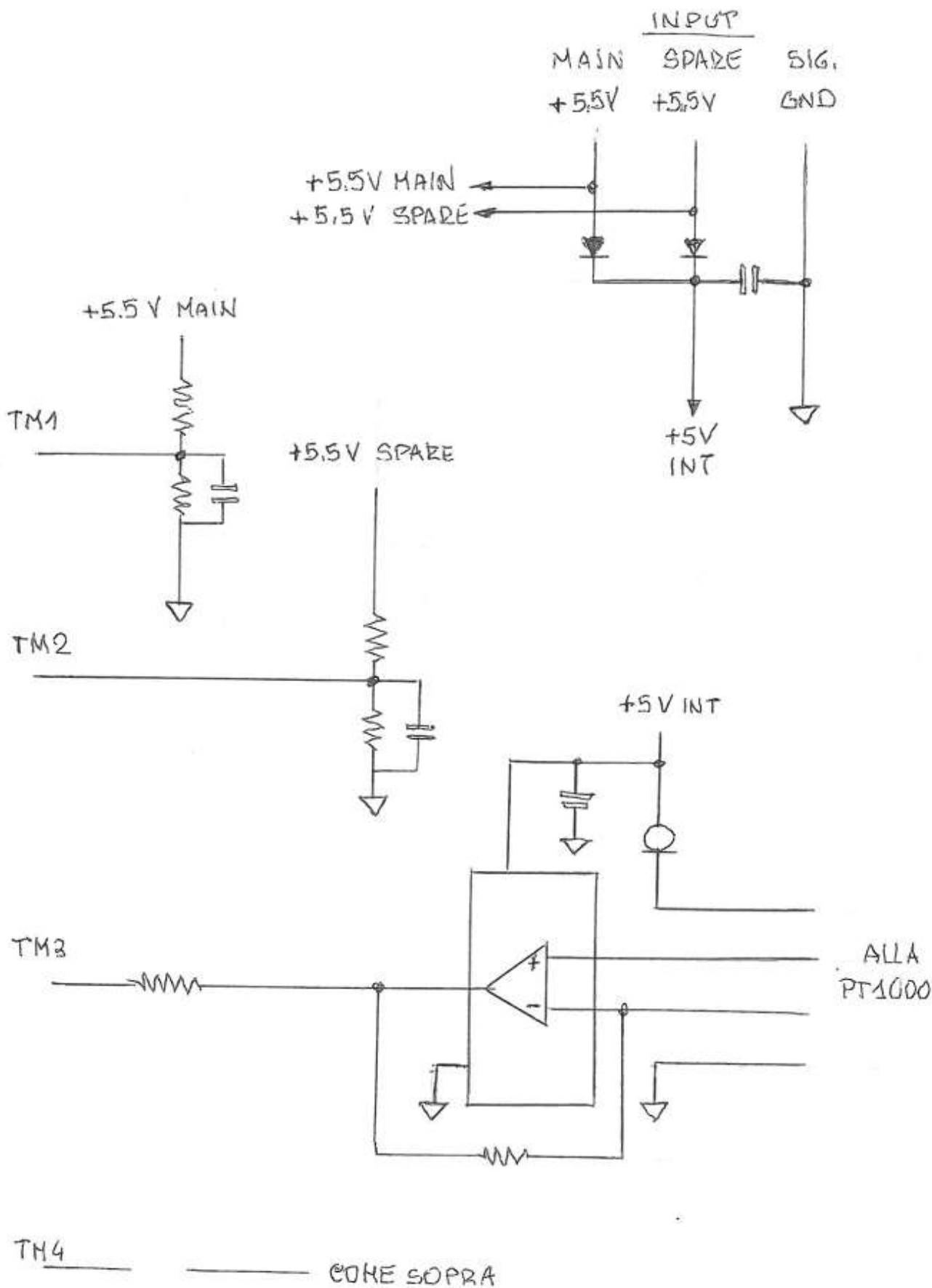
DOPPIO OR A MOSTET. A BASSA CADUTA
 PIU' REGOLATORE LDO A+3.3V



N° 4 "AND" ME14081B-NLV N° 2 "OR" ME14071B-NLV

LOGICA DI CONTROLLO

FOGLIO 7 DI 7





✓RoHS

PT TEMPERATURE SENSOR – PTF FAMILY

SPECIFICATIONS

- Conformal to standard platinum temperature sensors according DIN EN 60751
- R0: 100 and 1000 Ω
- Class F 0.1 (T = AA), F 0.15 (A), F 0.3 (B) and F 0.6 (C) accuracy
- Wide temperature range
- Different outline dimensions
- Global interchangeability

The PTF-sensor family combines a group of resistance temperature detectors (RTD) using a Platinum resistor in thin film technology as sensing element. It consists of a structured platinum film on a ceramics substrate, passivated by glass coating. The connection wires are protected with glass on the welding area.

The characteristic curve of this Platinum RTD complies with DIN EN 60751. The usage of Platinum as resistive material guarantees high long term stability.

Due to small outline and low mass this RTD has a low time constant; therefore it is a suitable solution for fast and precise feedback control systems.

Current 34 mA @ 1000 Ω = 0.4 V



200mA 2-Terminal Programmable Current Source

FEATURES

- Programmable 2-Terminal Current Source
- Maximum Output Current: 200mA
- Wide Input Voltage Range: 1.2V to 40V
- Input/Output Capacitors Not Required
- Resistor Ratio Sets Output Current
- Initial Set Pin Current Accuracy: 1%
- Reverse-Voltage Protection
- Reverse-Current Protection
- <0.001%/V Line Regulation Typical
- Current Limit and Thermal Shutdown Protection
- Available in 8-Lead SOT-23, 3-Lead SOT-223 and 8-Lead 3mm × 3mm DFN Packages

APPLICATIONS

- 2-Terminal Floating Current Source
- GND Referred Current Source
- Variable Current Source
- In-Line Limiter
- Intrinsic Safety Circuits

DESCRIPTION

The LT[®]3092 is a programmable 2-terminal current source. It requires only two resistors to set an output current between 0.5mA and 200mA. A multitude of analog techniques lend themselves to actively programming the output current. The LT3092 is stable without input and output capacitors, offering high DC and AC impedance. This feature allows operation in intrinsically safe applications.

The SET pin features 1% initial accuracy and low temperature coefficient. Current regulation is better than 10ppm/V from 1.5V to 40V.

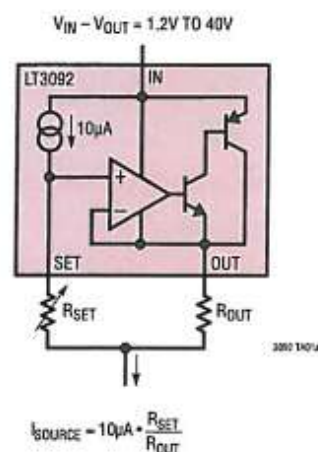
The LT3092 can operate in a 2-terminal current source configuration in series with signal lines. It is ideal for driving sensors, remote supplies, and as a precision current limiter for local supplies.

Internal protection circuitry includes reverse-battery and reverse-current protection, current limiting and thermal limiting. The LT3092 is offered in the 8-lead TSOT-23, 3-lead SOT-223 and 8-lead 3mm × 3mm DFN packages.

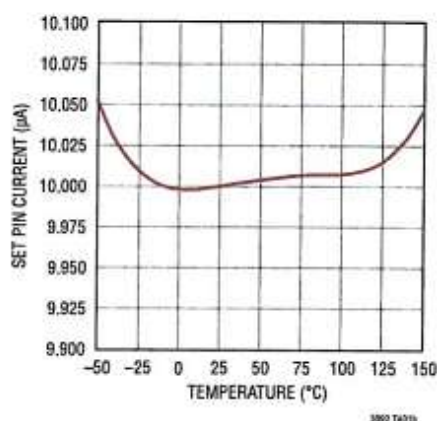
LT, LT, LTC, LTM, Linear Technology and the Linear logo are registered trademarks of Linear Technology Corporation. All other trademarks are the property of their respective owners.

TYPICAL APPLICATION

Adjustable 2-Terminal Current Source



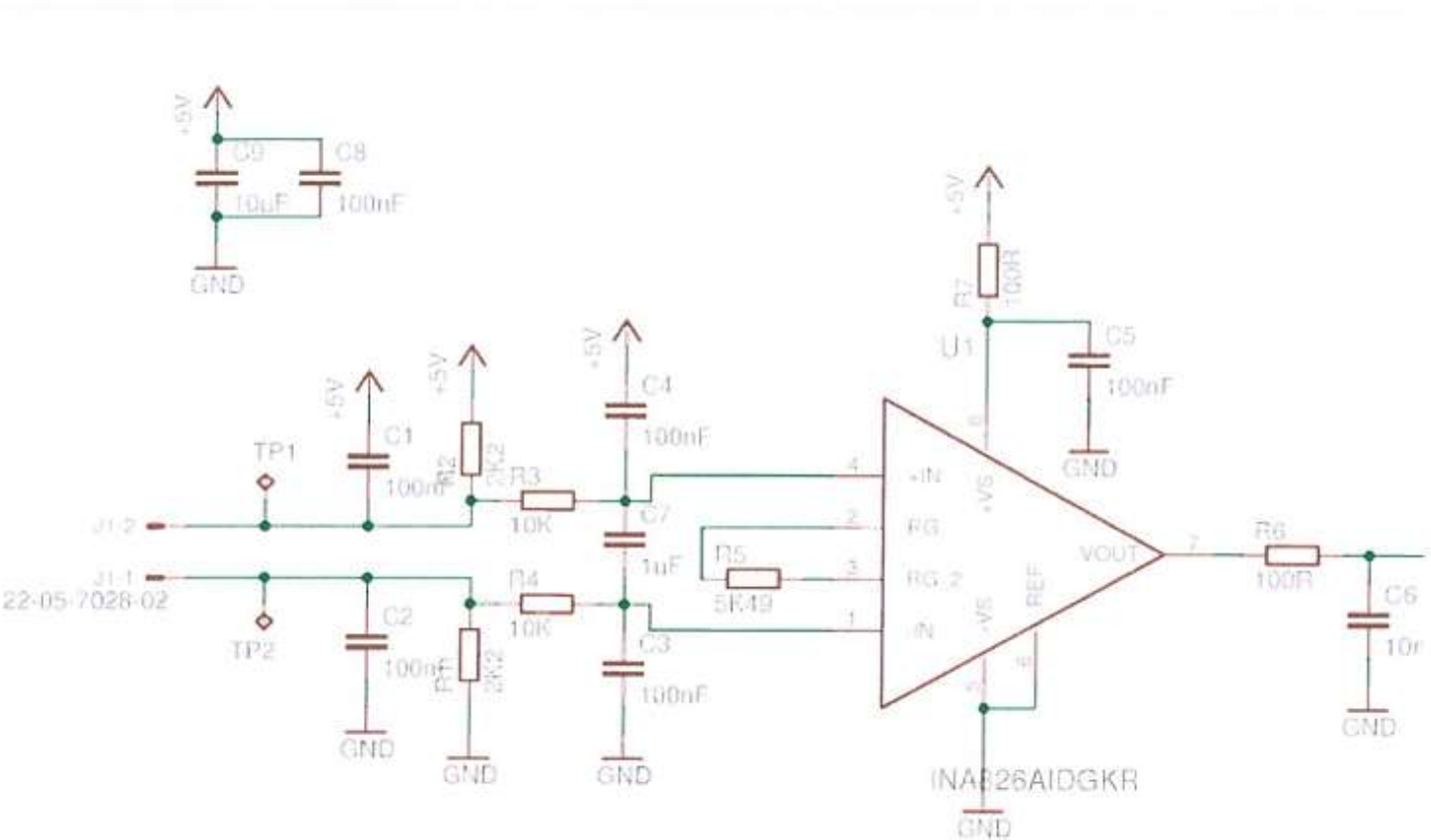
SET Pin Current vs Temperature



File:PT100 Schematic (v1).png

From E3D-Online

This Wiki is not looked after anymore :(Please navigate to
e3d-online.dozuki.com
for up to date and improved documentation



Size of this preview: 800 × 382 pixels.
Original file (2,848 × 1,359 pixels, file size: 42 KB, MIME type: image/png)

File history

Click on a date/time to view the file as it appeared at that time.

	Date/Time	Thumbnail	Dimensions	User	Comment
current	10:26, 30 July 2015		2,848 × 1,359 (42 KB)	Joshuarowley42 (talk contribs)	

- You cannot overwrite this file.

File usage

The following 2 pages link to this file:

INA826 Precision, 200- μ A Supply Current, 3-V to 36-V Supply Instrumentation Amplifier With Rail-to-Rail Output

1 Features

- Input common-mode range: Includes V^-
- Common-mode rejection:
 - 104 dB, min ($G = 10$)
 - 100 dB, min at 5 kHz ($G = 10$)
- Power-supply rejection: 100 dB, min ($G = 1$)
- Low offset voltage: 150 μ V, max
- Gain drift: 1 ppm/ $^{\circ}$ C ($G = 1$), 35 ppm/ $^{\circ}$ C ($G > 1$)
- Noise: 18 nV/ $\sqrt{\text{Hz}}$, $G \geq 100$
- Bandwidth: 1 MHz ($G = 1$), 60 kHz ($G = 100$)
- Inputs protected up to ± 40 V
- Rail-to-rail output
- Supply current: 200 μ A
- Supply range:
 - Single supply: 3 V to 36 V
 - Dual supply: ± 1.5 V to ± 18 V
- Specified temperature range: -40°C to $+125^{\circ}\text{C}$
- Packages: 8-pin VSSOP, SOIC, and WSON

2 Applications

- Analog input module
- Flow transmitter
- Battery test
- LCD test
- Electrocardiogram (ECG)
- Surgical equipment
- Process analytics (pH, gas, concentration, force and humidity)
- Circuit breaker (ACB, MCCB, VCB)

3 Description

The INA826 is a cost-effective instrumentation amplifier that offers extremely low power consumption and operates over a very wide single-supply or dual-supply range. A single external resistor sets any gain from 1 to 1000. The device offers excellent stability over temperature, even at $G > 1$, as a result of the low gain drift of only 35 ppm/ $^{\circ}$ C (maximum).

The INA826 is optimized to provide excellent common-mode rejection ratio of over 100 dB ($G = 10$) over frequencies up to 5 kHz. At $G = 1$, the common-mode rejection ratio exceeds 84 dB across the full input common-mode range, from the negative supply all the way up to 1 V of the positive supply. Using a rail-to-rail output, the INA826 is a great choice for low-voltage operation from a 3-V single supply, as well as dual supplies up to ± 18 V.

Additional circuitry protects the inputs against overvoltage of up to ± 40 V beyond the power supplies by limiting the input currents to less than 8 mA.

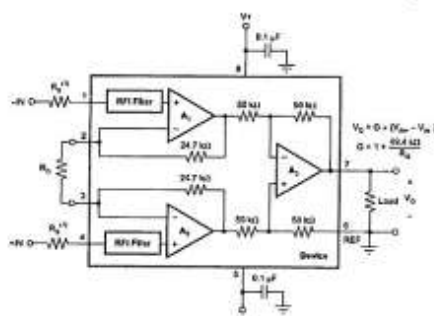
The INA826 is available in 8-pin SOIC, VSSOP, and tiny 3-mm $\times$ 3-mm WSON surface-mount packages. All versions are specified for the -40°C to $+125^{\circ}\text{C}$ temperature range.

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
INA826	SOIC (8)	4.90 mm $\times$ 3.91 mm
	WSON (8)	3.00 mm $\times$ 3.00 mm
	VSSOP (8)	3.00 mm $\times$ 3.00 mm

(1) For all available packages, see the package option addendum at the end of the data sheet.

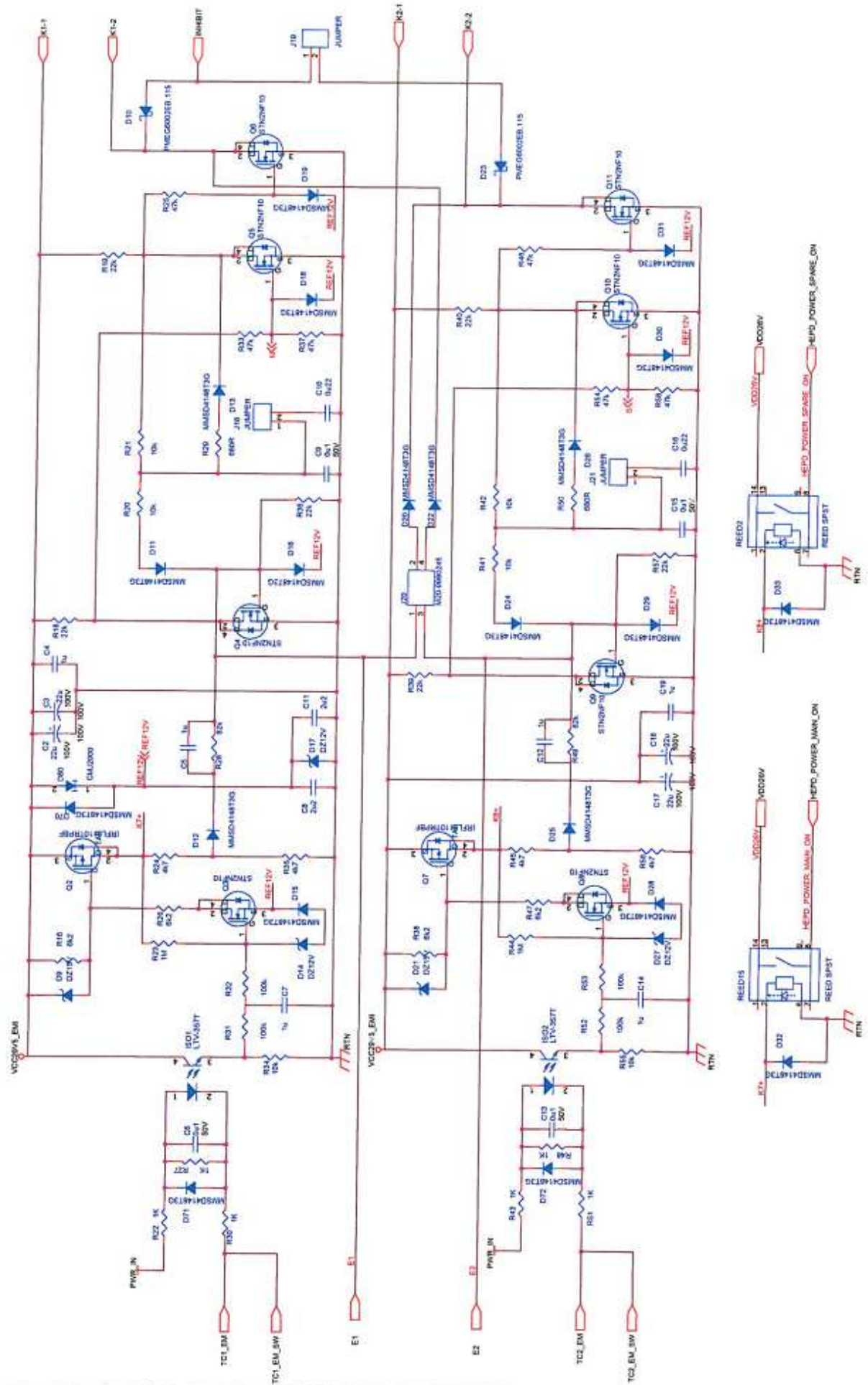
General-Purpose Instrumentation Amplifier

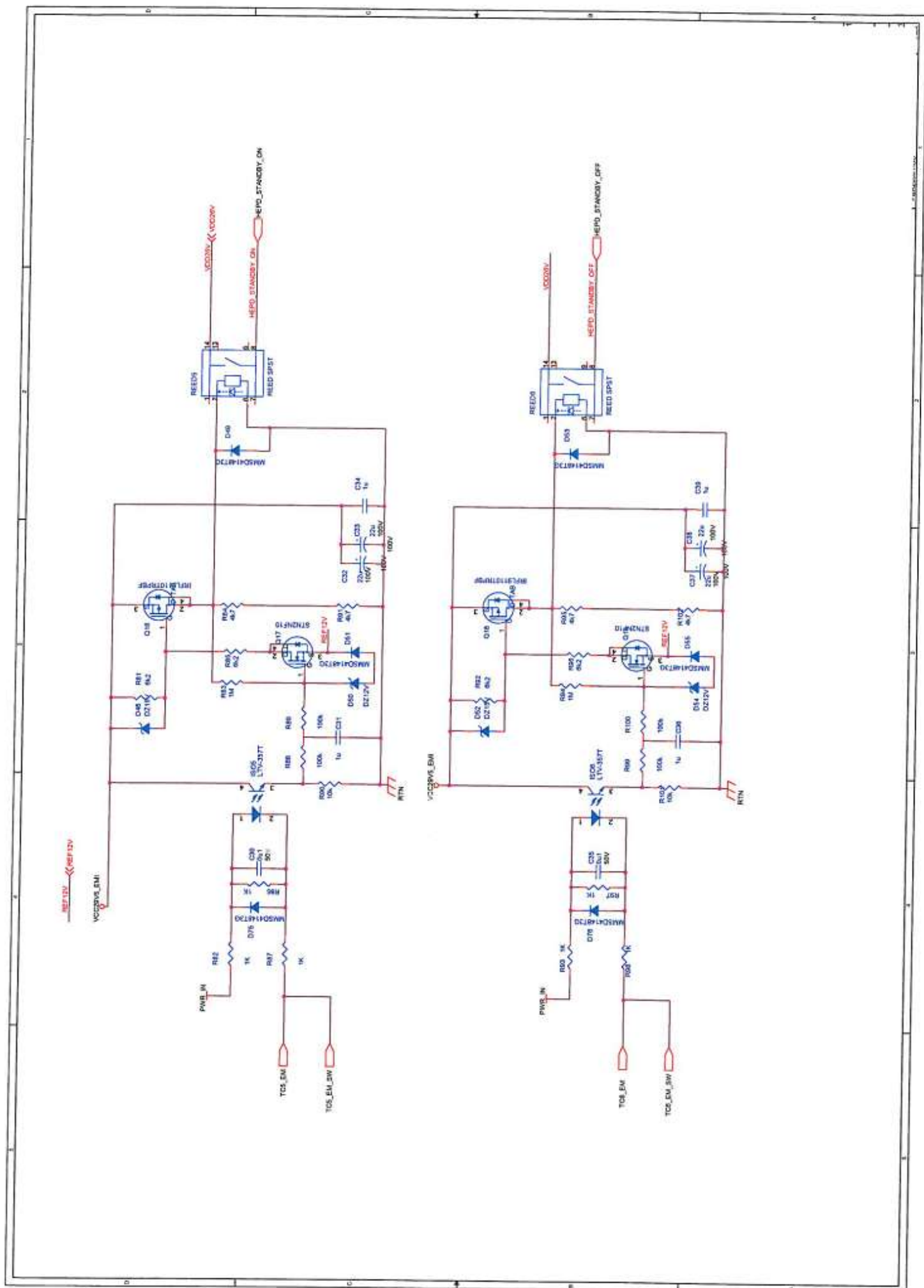


- (1) This resistor is optional if the input voltage stays above $[(V^-) - 2\text{ V}]$ or if the signal source current drive capability is limited to less than 3.5 mA; see the [Input Protection](#) section for more details.



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.





Linee guida per la progettazione dello SPLITTER, parte SEGNALI DAI PROBE.

E' necessario usare gli IC della famiglia ADG5412 (oppure switch analoghi ma con le funzionalità minime necessarie equivalenti) solo per:

- Gli IC switch di segnale
- Eventualmente IC1 ed IC2

Tutti gli altri possono essere sostituiti con switch diversi ma con funzionalità analoghe e caratteristiche adeguate.

Gli IC della famiglia ADG5412 sono fondamentali poiché implementano la ridondanza caldo/freddo per i segnali dai probe da indirizzare o a APU HOT e COLD; in particolare, i livelli di potenziale provenienti dai probe possono assumere un valore di poco superiore (in modo assoluto) a 7V (+7V).

Questa tensione va diretta, oltre che all'IC attivo, anche a quello NON ATTIVO CHE NON E' ALIMENTATO.

Come noto, moltissimi IC analogici NON sopportano tensioni in ingresso oltre 0.7V l'alimentazione, in questo caso l'alimentazione è a 0V e la tensione di 7V sull'ingresso è molto superiore al limite consentito per la stragrande maggioranza dei chip analogici. Per queste ragioni è stato identificato questo chip come ideale per la ridondanza di segnale:

ATTENZIONE LA SIGLA DA USARE E' **ADG5412FTRUZ-EP** (enhanced product).

Questi differiscono dagli ADG5412BF.... perchè **SOLO I SOURCE SONO PROTETTI!**

PRODUCT HIGHLIGHTS

1. *Source pins are protected against voltages greater than the supply rails, up to -55 V and +55 V.*
2. *Source pins are protected against voltages between -55 V and +55 V in an unpowered state.*
3. *Overvoltage detection with digital output indicates operating state of switches.*
4. *Trench isolation guards against latch-up.*
5. *Optimized for low on resistance and on-resistance flatness.*
6. *The ADG5412F-EP can be operated from a dual supply of ± 5 V up to ± 22 V or a single power supply of +8 V up to +44 V.*

Come si vede il punto 2 risolve il problema esposto sopra, INOLTRE questo IC è particolarmente BEN PROTETTO CONTRO IL LATCH-UP (punto 4).

Riguardo IC1 ed IC2, il punto 3 non si applica, poiché è stato scelto di alimentarli a valle del power-mux dunque sono sempre alimentati, comunque le caratteristiche di elevata tensione di alimentazione e di ingresso (la V_{PO} può arrivare a +-5V) lo rendono ancora utile in questo impiego.

Altre caratteristiche dell'ENHANCED PRODUCT

Supports defense and aerospace applications (AQEC standard)

Military temperature range: -55°C to +125°C

Controlled manufacturing baseline

One assembly/test site one fabrication site

Enhanced product change notification

Qualification data available on request

Questo IC comunque si rompe facilmente se gli arriva un livello di tensione piccolo negativo su uno dei pin di controllo (Digital Inputs GND - 0.3 V to +48).

E' PERTANTO NECESSARIO INSERIRE DELLE PROTEZIONI CON DIODO SCHOTTKY (e relativa resistenza) SU CIASCUNO DEI PIN DI CONTROLLO DI CIASCUN IC ADG5412FTRUZ-EP.

BACK-PLANE

CARATTERISTICHE PRINCIPALI

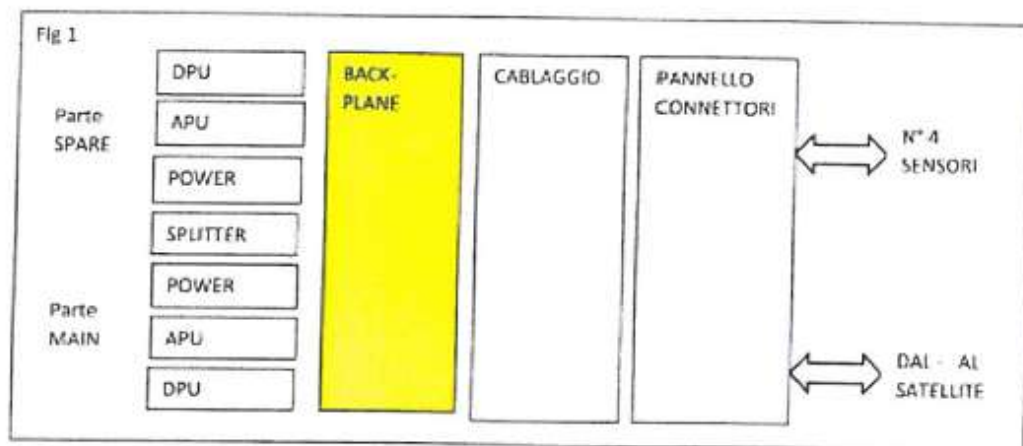
Back-plane

La scheda Back-Plane svolge la funzione di interconnettere tutti i segnali e le alimentazioni che da una scheda vanno all'altra e/o verso i connettori di ingresso e di uscita del sistema EFD-02

La scheda Back-Plane fa parte del sistema EFD-02 e questo sistema è destinato ad essere imbarcato in una missione spaziale che per ragioni di assoluta affidabilità, prevede due sistemi elettronici MAIN e SPARE perfettamente identici, uno di ricalzo all'altro.

La scheda Back-Plane interfaccia:

- 1) I segnali e le alimentazioni verso le schede DPU-APU-POWER e SPLITTER sia del sistema MAIN che SPARE
- 2) Tramite il cablaggio e il pannello connettori, i segnali da e verso i 4 Sensori (Probe)
- 3) Tramite il cablaggio e il pannello connettori, i segnali di POWER, TC, TM, CAN, CAN, RS422, RS422 verso il satellite



il Back-plane si interfaccia con le schede e i cablaggi come segue:

- 1) Verso le schede con connettori del tipo TE MULTIGIG RT T2 modello 1410XXX-X
- 2) Verso i cablaggi con connettori del tipo MICRO-D

I connettori verso le schede (della tipologia TE MULTIGIG RT T2) sono in numero di 20.

I connettori verso i cablaggi (della tipologia MICRO D) sono in numero di 9

L'utilizzazione dei PIN dei connettori del tipo TEMULTIGIG RT è praticamente completa al 100%.

Vicino ai connettori del tipo TE MULTIGIG saranno montate delle spine di centratura per far sì che durante l'inserimento delle schede i connettori siano perfettamente allineati.

Nella parte posteriore del Back-plane saranno montati dei rinforzi per riportare sulla struttura lo sforzo di inserzione/estrazione e gli sforzi meccanici in condizioni di urti e vibrazioni. I connettori MICRO D dovranno avere un sistema di fissaggio meccanico indipendente dalla saldatura dei Pin.

Per realizzare la connessione delle 4 coppie in uscita da DPU verso POWER, queste uscirebbero dal connettore J1 tenendosi verso il bordo esterno.

Per realizzare la connessione delle 4+4 coppie (CAN e RS422) uscenti da J1 tramite il connettore MICRO D verso i connettori sul pannello posteriore, la zona di saldatura dei fili che collegano DPU ai connettori corrisponde al vano vuoto lasciato del connettore non montato. Si tratta di 8 coppie ovvero 16 fili più altri 4 di massa, un totale di 20 fili . In uscita dal connettore MICRO D questi fili, uniti in un mazzetto andrebbero al pannello posteriore con un cablaggio del diametro globale di 5-6mm circa.

L'installazione del filtro EMI in basso nel vano cablaggi farà modificare il percorso del cablaggio in uscita da X05 e diretto allo SPLITTER .

TIPOLOGIA DI PISTE-RAME NEL PCB: Il Pcb del Back-plane deve coniugare tre diverse esigenze:

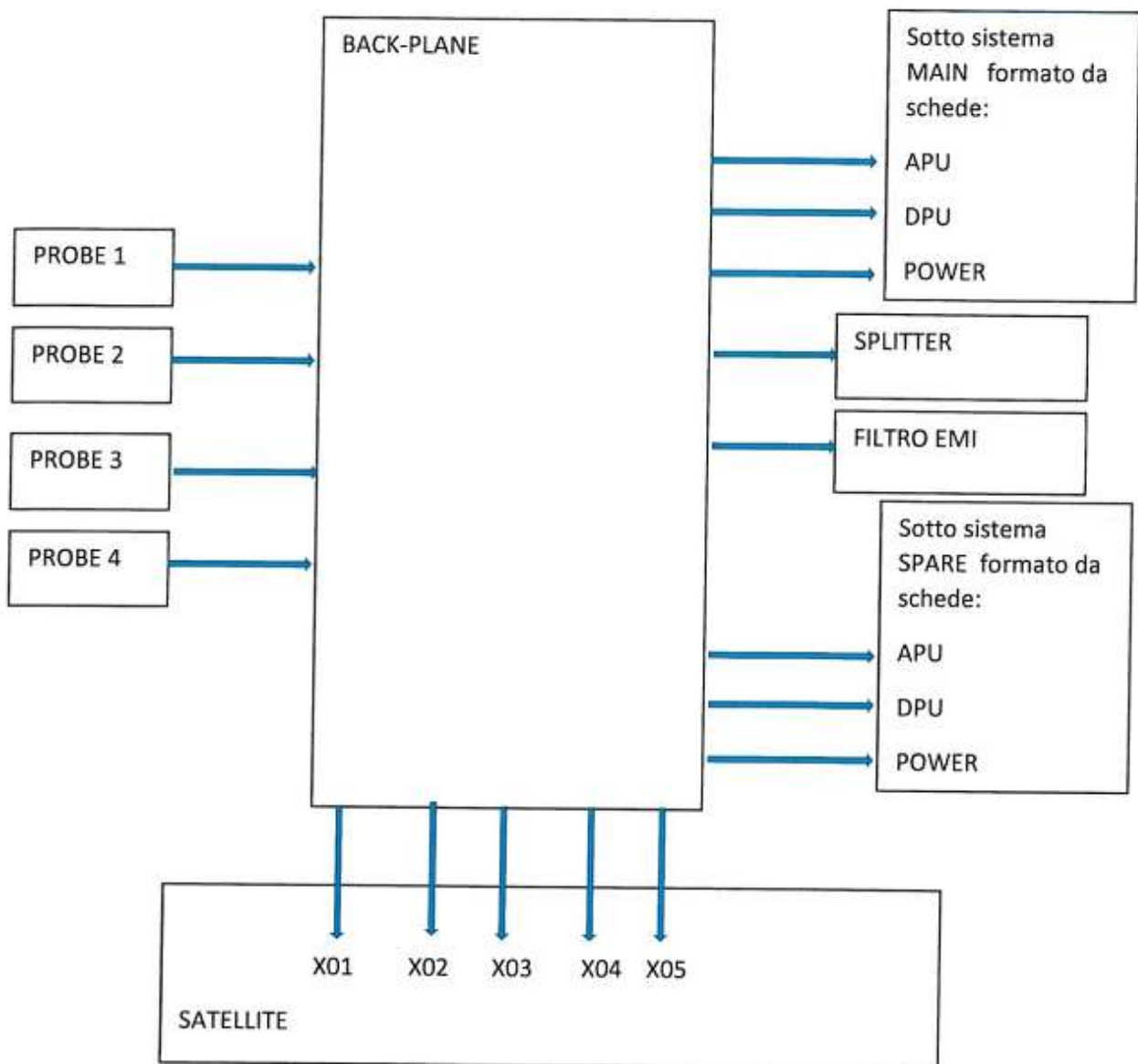
- a) Deve portare le Masse e le Alimentazioni in modo sicuro e senza cadute di tensione, magari utilizzando interi piani di massa.
- b) Deve portare i segnali molto delicati provenienti dai sensori (4 Probe) dove si trasportano segnali di micro-volt. (Si ipotizza che questi segnali viaggino tra piani di massa)
- c) Deve portare segnali bilanciati ad impedenza costante per segnali impulsivi di 150nsec.
- d) Notare che tra i pin dei connettori TE può passare solo una pista a piano (servono più piani)

DEFINIZIONE DELLE PIN FUNCTION: La definizione delle pin-function avverrà in seguito, al termine del lavoro di progettazione delle schede. Durante il processo di sviluppo delle schede il progettista della scheda Back-plane dovrà interfacciarsi con i progettisti delle altre schede per trovare eventuali soluzioni di passaggi di piste ancora "gestibili ". Eventuali ritardi imputabili ad informazioni attese da altri sottosistemi di EFD non saranno conteggiati nel computo dei tempi della presente fornitura.

Nella documentazione a seguire si riportano:

- 1) Il percorso dei segnali dei PROBE entro EFD-02
- 2) Lo schema di come sono cablati i segnali in arrivo dai probe .
Da notare la connessione a una "MASSA" ora non definita per due resistenze da 150Kohm.
Realizzare pertanto un collegamento con piazzole nelle immediate vicinanze per poter in seguito realizzare il collegamento con la massa " più adatta "
- 3) Elenco segnali di APU-SPLITTER verso i PROBE
- 4) Pin-function di APU
- 5) Elenco segnali di APU-SPLITTER verso APU-HOT e APU-COLD (dette anche MAIN e SPARE)
- 6) Data-sheet dei connettori
- 7) Disposizione dei segnali sui connettori TE di APU

Segue uno schema a blocchi che illustra le connessioni



PERCORSO DEI SEGNALI DEI PROBE ENTRO EFD-02

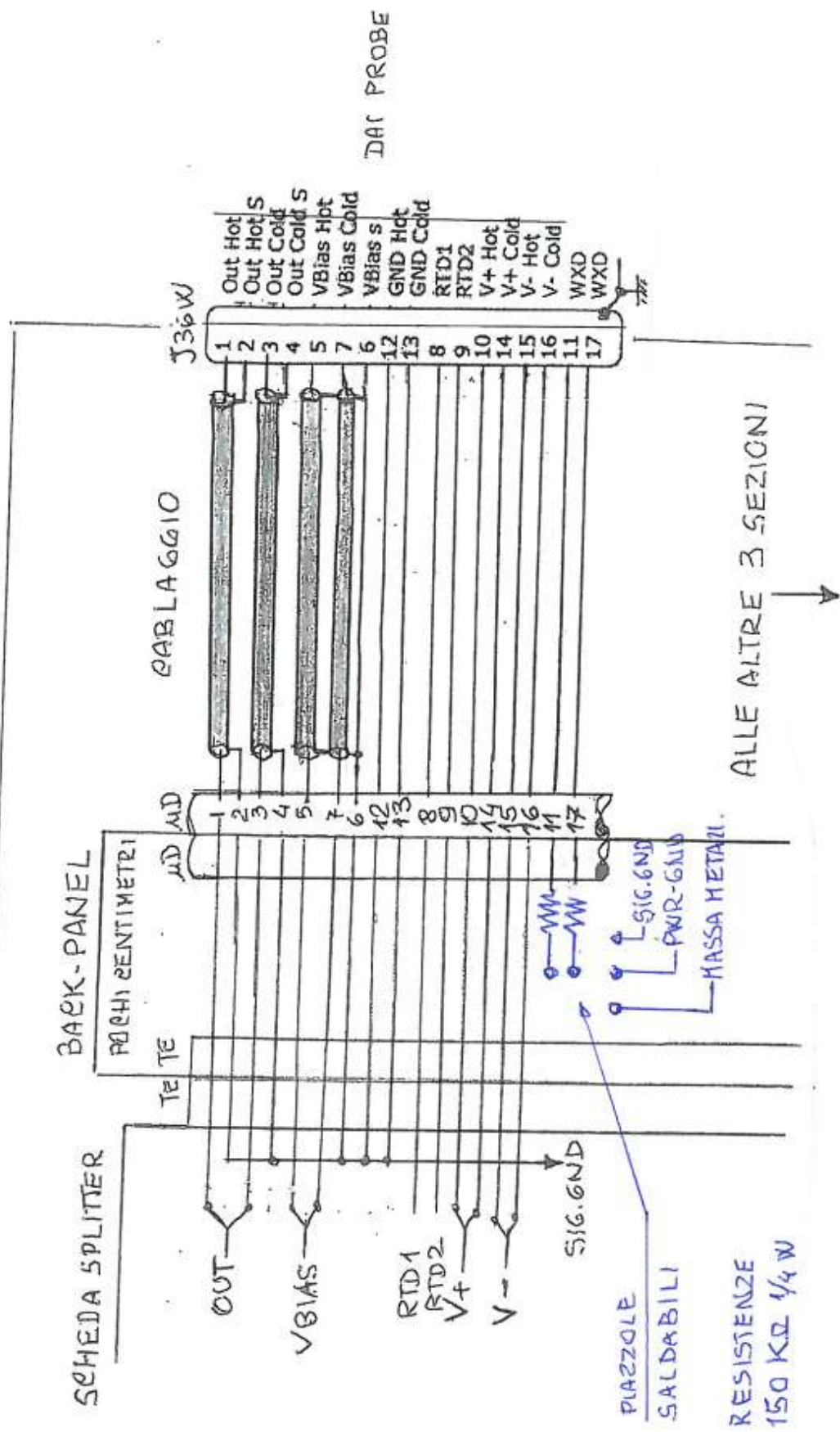
I segnali dei probe arrivano con il coassiale	Attraversano il connettore cinese da pannello ,così come sono. I due cavi coassiali hanno masse separate	Percorrono il cablaggio che li porta al Back-Plane in coassiale ...separati	Passano nella coppia di connettori M+F MICRO-D di connessione e al Back-Panel , sempre separati.	Sul Back-Panel vanno al connettore per la scheda (Tipo TE) , sempre separati .	Sulla scheda SPLITTER li dove arrivano i due lati caldi si mettono assieme e vanno dentro i circuiti ...	Le due masse/i due lati freddi si collegano a massa del circuito SPLITTER (che poi in gergo è SIG GND)
I segnali di polarizzazione e Vbias o Vpol che dir si voglia	I due cavi coassiali hanno la massa in comune . Attraversano il connettore cinese da pannello ,così come sono	Percorrono il cablaggio che li porta al Back-Plane in coassiale ...separati ma con la massa in comune	Passano nella coppia di connettori M+F MICRO-D di connessione e al Back-Panel , sempre con la stessa connessione e	Sul Back-Panel vanno al connettore per la scheda (Tipo TE) sempre separati e con la stessa connessione e	Sulla scheda SPLITTER li dove arrivano i due lati caldi si mettono assieme e vanno dentro i circuiti Che generano la VPOL ...	La massa si collega a massa del circuito SPLITTER (che poi in gergo è SIG GND)

I due collegamenti di massa GND HOT e GND COLD	I due fili di massa attraversano il connettore separati	Percorrono il cablaggio separati	Passano nella coppia di connettori M+F MICRO-D di connessione e al Back-Panel sempre separati	Sul Back-Panel vanno al connettore per la scheda (TIPO TE) sempre separati e con la stessa connessione		I due fili si collegano a massa del circuito SPLITTER (che poi in gergo è SIG GND)
I due collegamenti di alimentazione e V+HOT e V+COLD	I due fili di alimentazione e positiva attraversano il connettore separati	Percorrono il cablaggio separati	Passano nella coppia di connettori M+F MICRO-D di connessione e al Back-Panel sempre separati	Sul Back-Panel vanno al connettore per la scheda (TIPO TE) sempre separati e con la stessa connessione		I due fili si collegano alla +7,3V del circuito SPLITTER
I due collegamenti di alimentazione e V-HOT e V-COLD	I due fili di alimentazione e negativa attraversano il connettore separati	Percorrono il cablaggio separati	Passano nella coppia di connettori M+F MICRO-D di connessione e al Back-Panel sempre separati	Sul Back-Panel vanno al connettore per la scheda (TIPO TE) sempre separati e con la stessa connessione		I due fili si collegano alla -7,3V del circuito SPLITTER
I due collegamenti della resistenza RTD PT1000 per la misura della	I due fili RTD1 e RTD2 attraversano il connettore	Percorrono il cablaggio (non sono duplicati) Sarebbe buona cosa che	Passano nella coppia di connettori M+F MICRO-D di connessione	Sul Back-Panel vanno al connettore per la scheda (TIPO TE)		I due fili si collegano a due integrati "multiplexer" che li deviano alla sezione

temperatura dei Probe		nel cablaggio fossero almeno twistati	e al Back-Panel			HOT o COLD di EFD-02 in funzione del sistema che al momento è attivo .
I due collegamenti fili "EFDC Screen" che costituiscono il drenaggio dello schermo del tratto di cavo "esterno" verso i Probe	I due fili WXD attraversano il connettore	Percorrono il cablaggio separati	Passano nella coppia di connettori M+F MICRO-D di connessione e al Back-Panel	Sul Back-Panel si richiudono a Massa metallica con in serie una resistenza da 150Kohm e per la connessione e al telaio sfruttano un fissaggio del PCS del Back-Panel		

PERCORSO DEI SEGNALI DEI PROBE ALL'INTERNO DI EEB

CONTENITORE METALLICO DI EEB



ELENCO DEI SEGNALI DI APU SPLITTER

SEGNALI DA E PER I PROBE

Connettori A2 tipo C-1410140-1-D

FUNZIONE	SEGNALE	FROM /TO SPLITTER			Pin del connettore A2	Note
Alimentazioni						
	Analog GND	From			A1-B1-C1-D1-E1- C2-E2-F2-G2- A3-B3-C3-D3-E3- C4-E4-F4-G4 A5-B5-C5-D5-E5- C6-E6-F6-G6 A7-B7-C7-D7-E7- C8-E8-F8-G8- A9-B9-C9-D9-E9- C10-E10- C11-E11- A12-B12-C12-D12-E12- A13-B13-C13-D13-E13- C14-E14- C15-E15- A16-B16-C16-D16-E16-	
Segnali						
	Probe 0 H	To			A2-B2	
	Probe 0 C	To			A3-B3	
	Probe 1 H	To			A6-B6	
	Probe 1 C	To			A7-B7	
	Probe 2 H	To			A10-B10	
	Probe 2 C	To				
	Probe 3 H	To			F1-F5-F7	
	Probe 3 C	To			F2-G5-G7	
Polarizzazione						
	Vpol Probe0	From			A3-A4-A5	
	Vpol Probe1	From			A6-A7-A8	
	Vpol Probe 2	From			A9-A10-A11	
	Vpol Probe 3	From			A12-A13-A14	
RTD						
	TEMP_RTDO_INP	FROM	OK	OK	A15	
	TEMP_RTDO_INN	FROM	OK	OK	B15	
	TEMP_RTD1_INP	FROM	OK	OK	F15	

	TEMP_RTD1_INN	FROM	OK	OK	G15	
	TEMP_RTD2_INP	FROM	OK	OK	A16	
	TEMP_RTD3_INN	FROM	OK	OK	B16	
	TEMP_RTD3_INP	FROM	OK	OK	F16	
	TEMP_RTD3_INN	FROM	OK	OK	G16	

X = Segnale-alimentazione non utilizzato

OK = Segnale-alimentazione utilizzato

SISTEM = Segnale-alimentazione generale del sistema

NOMI DEI SEGNALI Nella scheda SPLITTER per distinguere i segnali provenienti o diretti alla scheda APU HOT da quelli della scheda gemella APU COLD ,si aggiunge alla fine del nome il suffisso HOT o COLD .

Esempio "PR_EN_0_HOT"

I segnali di " Failure " sono 8 , ipotizzare un modo semplice per inviarli alla scheda HOT o COLD , previo accordo con Badoni

#	Group	To/From	Where	Name	Purpose	Pin Conn.	Note	Backplane Pin Conn.		
1	CLKDRV_SPI	From	DPU	HOST_CLKDRV_SPI_LVDS_CSBP	In Signal	a1				
2	Power	Common	Common	HOST_CLKDRV_SPI_LVDS_CSBN	DigitalGND	b1				
3	CLKDRV_SPI	From	DPU	DGND	DigitalGND	c1				
4	Power	Common	Common	HOST_CLKDRV_SPI_LVDS_SCLKP	In Signal	d1				
5	Power	Common	Common	HOST_CLKDRV_SPI_LVDS_SCLKN	DigitalGND	e1				
6	Power	Common	Common	DGND	DigitalGND	f1				
7	Power	Common	Common	DGND	DigitalGND	g1				
8	Power	Common	Common	DGND	DigitalGND	a2				
9	CLKDRV_SPI	To	DPU	HOST_CLKDRV_SPI_LVDS_SDOP	Out Signal	b2				
10	Power	Common	Common	HOST_CLKDRV_SPI_LVDS_SDOIN	DigitalGND	c2				
11	CLKDRV_SPI	From	DPU	DGND	In Signal	d2				
12	Power	Common	Common	HOST_CLKDRV_SPI_LVDS_SDIP	DigitalGND	e2				
13	Power	Common	Common	HOST_CLKDRV_SPI_LVDS_SDOIN	DigitalGND	f2				
14	Power	Common	Common	DGND	DigitalGND	g2				
15	CTRL_APU_RDY	To	DPU	HOST_CTRL_LVDS_APU_RDYP	Out Signal	a3				
16	Power	Common	Common	HOST_CTRL_LVDS_APU_RDYN	DigitalGND	b3				
17	CTRL_ALL_RDY	To	DPU	DGND	DigitalGND	c3				
18	Power	Common	Common	HOST_CTRL_LVDS_ALL_RDYP	Out Signal	d3				
19	Power	Common	Common	HOST_CTRL_LVDS_ALL_RDYN	DigitalGND	e3				
20	Power	Common	Common	DGND	DigitalGND	f3				
21	Power	Common	Common	DGND	DigitalGND	g3				
22	Power	Common	Common	DGND	DigitalGND	a4				
23	CTRL_RFU	From	DPU	HOST_CTRL_LVDS_RFUP	In Signal	b4				
24	Power	Common	Common	HOST_CTRL_LVDS_RFUN	DigitalGND	c4				
25	CTRL_SW_RST	From	DPU	DGND	In Signal	d4				
26	Power	Common	Common	HOST_CTRL_LVDS_SW_RSTP	DigitalGND	e4				
27	Power	Common	Common	HOST_CTRL_LVDS_SW_RSTN	DigitalGND	f4				
28	Power	Common	Common	DGND	DigitalGND	g4				
29	SPI_SCLK	From	DPU	HOST_SPI_LVDS_SCLKP	In Signal	a5				
30	Power	Common	Common	HOST_SPI_LVDS_SCLKN	DigitalGND	b5				
31	Power	Common	Common	DGND	DigitalGND	c5				
32	SPI_CSIN	From	DPU	HOST_SPI_LVDS_CSINP	In Signal	d5				
33	Power	Common	Common	HOST_SPI_LVDS_CSINN	DigitalGND	e5				
34	Power	Common	Common	DGND	DigitalGND	f5				
35	Power	Common	Common	DVDD33	DigitalPower	g5				
36	Power	Common	Common	DGND	DigitalGND	a6				
37	SPI_SDO	To	DPU	HOST_SPI_LVDS_SDOP	Out Signal	b6				
38	Power	Common	Common	HOST_SPI_LVDS_SDOIN	DigitalGND	c6				
39	Power	Common	Common	DGND	DigitalGND	d6				
40	SPI_CDI	From	DPU	HOST_SPI_LVDS_SDIP	In Signal	e6				
41	Power	Common	Common	HOST_SPI_LVDS_SDOIN	DigitalGND	f6				
42	Power	Common	Common	DGND	DigitalGND	g6				
43	MUX_SEL	From	DPU	MUX_LVDS_SEL0P	In Signal	a7				
44	Power	Common	Common	MUX_LVDS_SEL0N	DigitalGND	b7				
45	Power	Common	Common	DGND	DigitalGND	c7				
46	MUX_SEL	From	DPU	MUX_LVDS_SEL1P	In Signal	d7				
47	Power	Common	Common	MUX_LVDS_SEL1N	DigitalGND	e7				
48	Power	Common	Common	DGND	DigitalGND	f7				
49	Power	Common	Common	DVDD33	DigitalPower	g7				
50	Power	Common	Common	DGND	DigitalGND	a8				
51	MUX_SEL	From	DPU	MUX_LVDS_SEL2P	In Signal	b8				
52	Power	Common	Common	MUX_LVDS_SEL2N	DigitalGND	c8				
53	Power	Common	Common	DGND	DigitalGND	d8				
54	MUX_SEL	From	DPU	MUX_LVDS_SEL3P	In Signal	e8				
55	Power	Common	Common	MUX_LVDS_SEL3N	DigitalGND	f8				
56	Power	Common	Common	DGND	DigitalGND	g8				
57	INI_SPI	From	DPU	HOST_INI_SPI_LVDS_SCLKP	In Signal	a9				
58	Power	Common	Common	HOST_INI_SPI_LVDS_SCLKN	DigitalGND	b9				
59	Power	Common	Common	DGND	DigitalGND	c9				
60	INI_SPI	From	DPU	HOST_INI_SPI_LVDS_CSP	In Signal	d9				
61	Power	Common	Common	HOST_INI_SPI_LVDS_CSN	DigitalGND	e9				
62	Power	Common	Common	DGND	DigitalGND	f9				
63	Power	Common	Common	DVDD5	DigitalPower	g9				
64	Power	Common	Common	DGND	DigitalGND	a10				
65	INI_SPI	From	DPU	HOST_INI_SPI_LVDS_DATAP	In Signal	b10				
66	Power	Common	Common	HOST_INI_SPI_LVDS_DATAN	DigitalGND	c10				
67	Power	Common	Common	DGND	DigitalGND	d10				
68	GPIO.0	From	DPU	HOST_GPIO_LVDS_0P	In Signal	e10				
69	Power	Common	Common	HOST_GPIO_LVDS_0N	DigitalGND	f10				
70	GPIO.1	To	DPU	DGND	Out Signal	g10				
71	Power	Common	Common	HOST_GPIO_LVDS_1P	DigitalGND	a11	For ADDR, HF CHANNELS			
72	Power	Common	Common	HOST_GPIO_LVDS_1N	DigitalGND	b11				
73	Power	Common	Common	DGND	DigitalGND	c11				
74	GPIO.2	To	DPU	HOST_GPIO_LVDS_2P	Out Signal	d11	For ADDR, HF CHANNELS			
75	Power	Common	Common	HOST_GPIO_LVDS_2N	DigitalGND	e11				
76	Power	Common	Common	DGND	DigitalGND	f11				
77	Power	Common	Common	DVDD5	DigitalPower	g11				
78	Power	Common	Common	DGND	DigitalGND	a12				
79	GPIO.3	To	DPU	HOST_GPIO_LVDS_3P	Out Signal	b12				
80	Power	Common	Common	HOST_GPIO_LVDS_3N	DigitalGND	c12				
81	Power	Common	Common	DGND	DigitalGND	d12				
82	Power	Common	Common	DGND	DigitalGND	e12				
83	Power	Common	Common	DGND	DigitalGND	f12				
84	Power	Common	Common	DGND	DigitalGND	g12				
85	Power	Common	Common	DGND	DigitalGND	a13				
86	Power	Common	Common	DGND	DigitalGND	b13				
87	Power	Common	Common	DGND	DigitalGND	c13				
88	Power	Common	Common	DGND	DigitalGND	d13				
89	Power	Common	Common	DGND	DigitalGND	e13				
90	Power	Common	Common	DGND	DigitalGND	f13				
91	Power	Common	Common	DVDD3	DigitalPower	g13				
92	Power	Common	Common	DGND	DigitalGND	a14				
93	Power	Common	Common	DGND	DigitalGND	b14				
94	Power	Common	Common	DGND	DigitalGND	c14				
95	Power	Common	Common	DGND	DigitalGND	d14				
96	Power	Common	Common	DGND	DigitalGND	e14				
97	Power	Common	Common	DGND	DigitalGND	f14				
98	Power	Common	Common	DGND	DigitalGND	g14				
99	Power	Common	Common	DGND	DigitalGND	a15				
100	Power	Common	Common	DGND	DigitalGND	b15				
101	Power	Common	Common	DGND	DigitalGND	c15				
102	Power	Common	Common	DGND	DigitalGND	d15				

103						e15
104	Power	Common	Common	DGND	DigitalGND	f15
105	Power	From	LV_PS	DVDD15	DigitalPower	g15
106	Power	Common	Common	DGND	DigitalGND	a16
107						b16
108						c16
109	Power	Common	Common	DGND	DigitalGND	d16
110						e16
111						f16
112	Power	Common	Common	DGND	DigitalGND	g16

#	Group	To/From	Where	Name	Purpose	Pin Conn.	Note	Backplane Pin Conn.		
1	LF1_BUS	From	DPU	LF1_BUS_LVDS.SCLKP	In Signal	a1				
2				LF1_BUS_LVDS.SCLKN	In Signal	b1				
3	Power	Common	Common	DGND	DigitalGND	c1				
4	LF1_BUS	To	DPU	LF1_BUS_LVDS.DRDYP	Out Signal	d1				
5				LF1_BUS_LVDS.DRDYN	Out Signal	e1				
6	Power	Common	Common	DGND	DigitalGND	f1				
7	Power	Common	Common	DGND	DigitalGND	g1				
8	Power	Common	Common	DGND	DigitalGND	a2				
9	LF1_BUS	To	DPU	LF1_BUS_LVDS.DOUTP	Out Signal	b2				
10				LF1_BUS_LVDS.DOUTN	Out Signal	c2				
11	Power	Common	Common	DGND	DigitalGND	d2				
12	LF1_BUS	From	DPU	LF1_BUS_LVDS.DINP	In Signal	e2				
13				LF1_BUS_LVDS.DINN	In Signal	f2				
14	Power	Common	Common	DGND	DigitalGND	g2				
15	LF1_BUS	From	DPU	LF1_BUS_LVDS.SYNCP	In Signal	a3				
16				LF1_BUS_LVDS.SYCN	In Signal	b3				
17	Power	Common	Common	DGND	DigitalGND	c3				
18	LF1_BUS	From	DPU	LF1_BUS_LVDS.RESETP	In Signal	d3				
19				LF1_BUS_LVDS.RESETN	In Signal	e3				
20	Power	Common	Common	DGND	DigitalGND	f3				
21	Power	Common	Common	DGND	DigitalGND	g3				
22	Power	Common	Common	DGND	DigitalGND	a4				
23	LF1_BUS	To	DPU	LF1_BUS_LVDS.MFLAGP	Out Signal	b4				
24				LF1_BUS_LVDS.MFLAGN	Out Signal	c4				
25	Power	Common	Common	DGND	DigitalGND	d4				
26	LF2_BUS	To	DPU	LF2_BUS_LVDS.MFLAGP	Out Signal	e4				
27				LF2_BUS_LVDS.MFLAGN	Out Signal	f4				
28	Power	Common	Common	DGND	DigitalGND	g4				
29	LF2_BUS	From	DPU	LF2_BUS_LVDS.SCLKP	In Signal	a5				
30				LF2_BUS_LVDS.SCLKN	In Signal	b5				
31	Power	Common	Common	DGND	DigitalGND	c5				
32	LF2_BUS	To	DPU	LF2_BUS_LVDS.DRDYP	Out Signal	d5				
33				LF2_BUS_LVDS.DRDYN	Out Signal	e5				
34	Power	Common	Common	DGND	DigitalGND	f5				
35	Power	From	LV_PS	DVDD33	DigitalPower	g5				
36	Power	Common	Common	DGND	DigitalGND	a6				
37	LF2_BUS	To	DPU	LF2_BUS_LVDS.DOUTP	Out Signal	b6				
38				LF2_BUS_LVDS.DOUTN	Out Signal	c6				
39	Power	Common	Common	DGND	DigitalGND	d6				
40	LF2_BUS	From	DPU	LF2_BUS_LVDS.DINP	In Signal	e6				
41				LF2_BUS_LVDS.DINN	In Signal	f6				
42	Power	Common	Common	DGND	DigitalGND	g6				
43	LF2_BUS	From	DPU	LF2_BUS_LVDS.SYNCP	In Signal	a7				
44				LF2_BUS_LVDS.SYCN	In Signal	b7				
45	Power	Common	Common	DGND	DigitalGND	c7				
46	LF2_BUS	From	DPU	LF2_BUS_LVDS.RESETP	In Signal	d7				
47				LF2_BUS_LVDS.RESETN	In Signal	e7				
48	Power	Common	Common	DGND	DigitalGND	f7				
49	Power	From	LV_PS	DVDD33	DigitalPower	g7				
50	Power	Common	Common	DGND	DigitalGND	a8				
51	LF3_BUS	From	DPU	LF3_BUS_LVDS.SCLKP	In Signal	b8				
52				LF3_BUS_LVDS.SCLKN	In Signal	c8				
53	Power	Common	Common	DGND	DigitalGND	d8				
54	LF3_BUS	To	DPU	LF3_BUS_LVDS.DRDYP	Out Signal	e8				
55				LF3_BUS_LVDS.DRDYN	Out Signal	f8				
56	Power	Common	Common	DGND	DigitalGND	g8				
57	LF3_BUS	To	DPU	LF3_BUS_LVDS.DOUTP	Out Signal	a9				
58				LF3_BUS_LVDS.DOUTN	Out Signal	b9				
59	Power	Common	Common	DGND	DigitalGND	c9				
60	LF3_BUS	From	DPU	LF3_BUS_LVDS.DINP	In Signal	d9				
61				LF3_BUS_LVDS.DINN	In Signal	e9				
62	Power	Common	Common	DGND	DigitalGND	f9				
63	Power	From	LV_PS	DVDD5	DigitalPower	g9				
64	Power	Common	Common	DGND	DigitalGND	a10				
65	LF3_BUS	From	DPU	LF3_BUS_LVDS.SYNCP	In Signal	b10				
66				LF3_BUS_LVDS.SYCN	In Signal	c10				
67	Power	Common	Common	DGND	DigitalGND	d10				
68	LF3_BUS	From	DPU	LF3_BUS_LVDS.RESETP	In Signal	e10				
69				LF3_BUS_LVDS.RESETN	In Signal	f10				
70	Power	Common	Common	DGND	DigitalGND	g10				
71	LF3_BUS	To	DPU	LF3_BUS_LVDS.MFLAGP	Out Signal	a11				
72				LF3_BUS_LVDS.MFLAGN	Out Signal	b11				
73	Power	Common	Common	DGND	DigitalGND	c11				
74	LF4_BUS	To	DPU	LF4_BUS_LVDS.MFLAGP	Out Signal	d11				
75				LF4_BUS_LVDS.MFLAGN	Out Signal	e11				
76	Power	Common	Common	DGND	DigitalGND	f11				
77	Power	From	LV_PS	DVDD3	DigitalPower	g11				
78	Power	Common	Common	DGND	DigitalGND	a12				
79	LF4_BUS	From	DPU	LF4_BUS_LVDS.SCLKP	In Signal	b12				
80				LF4_BUS_LVDS.SCLKN	In Signal	c12				
81	Power	Common	Common	DGND	DigitalGND	d12				
82	LF4_BUS	To	DPU	LF4_BUS_LVDS.DRDYP	Out Signal	e12				
83				LF4_BUS_LVDS.DRDYN	Out Signal	f12				
84	Power	Common	Common	DGND	DigitalGND	g12				
85	LF4_BUS	To	DPU	LF4_BUS_LVDS.DOUTP	Out Signal	a13				
86				LF4_BUS_LVDS.DOUTN	Out Signal	b13				
87	Power	Common	Common	DGND	DigitalGND	c13				
88	LF4_BUS	From	DPU	LF4_BUS_LVDS.DINP	In Signal	d13				
89				LF4_BUS_LVDS.DINN	In Signal	e13				
90	Power	Common	Common	DGND	DigitalGND	f13				
91	Power	From	LV_PS	DVDD3	DigitalPower	g13				
92	Power	Common	Common	DGND	DigitalGND	a14				
93	LF4_BUS	From	DPU	LF4_BUS_LVDS.SYNCP	In Signal	b14				
94				LF4_BUS_LVDS.SYCN	In Signal	c14				
95	Power	Common	Common	DGND	DigitalGND	d14				
96	LF4_BUS	From	DPU	LF4_BUS_LVDS.RESETP	In Signal	e14				
97				LF4_BUS_LVDS.RESETN	In Signal	f14				
98	Power	Common	Common	DGND	DigitalGND	g14				
99						a15				
100						b15				
101	Power	Common	Common	DGND	DigitalGND	c15				
102						d15				

103						e15
104	Power	Common	Common	DGND	DigitalGND	f15
105	Power	Fram	LV_P5	DVDD15	DigitalPower	g15
106	Power	Common	Common	DGND	DigitalGND	a16
107						b16
108						c16
109	Power	Common	Common	DGND	DigitalGND	d16
110						e16
111						f16
112	Power	Common	Common	DGND	DigitalGND	g16

#	Group	To/From	Where	Name	Purpose	Pin Conn.	Note	Backplane Pin Conn.		
1	HF_BUS	To	DPU	HF_BUS.DRY_P	Out Signal	a1				
2				HF_BUS.DRY_N		b1				
3	Power	Common	Common	DGND	DigitalGND	c1				
4	HF_BUS	To	DPU	HF_BUS.D0_1_P	Out Signal	d1				
5				HF_BUS.D0_1_N		e1				
6	Power	Common	Common	DGND	DigitalGND	f1				
7	Power	Common	Common	DGND	DigitalGND	g1				
8	Power	Common	Common	DGND	DigitalGND	a2				
9	HF_BUS	To	DPU	HF_BUS.D2_3_P	Out Signal	b2				
10				HF_BUS.D2_3_N		c2				
11	Power	Common	Common	DGND	DigitalGND	d2				
12	HF_BUS	To	DPU	HF_BUS.D4_5_P	Out Signal	e2				
13				HF_BUS.D4_5_N		f2				
14	Power	Common	Common	DGND	DigitalGND	g2				
15	HF_BUS	To	DPU	HF_BUS.D6_7_P	Out Signal	a3				
16				HF_BUS.D6_7_N		b3				
17	Power	Common	Common	DGND	DigitalGND	c3				
18	HF_BUS	To	DPU	HF_BUS.D8_9_P	Out Signal	d3				
19				HF_BUS.D8_9_N		e3				
20	Power	Common	Common	DGND	DigitalGND	f3				
21	Power	Common	Common	DGND	DigitalGND	g3				
22	Power	Common	Common	DGND	DigitalGND	a4				
23	HF_BUS	To	DPU	HF_BUS.D10_11_P	Out Signal	b4				
24				HF_BUS.D10_11_N		c4				
25	Power	Common	Common	DGND	DigitalGND	d4				
26	HF_BUS	To	DPU	HF_BUS.D12_13_P	Out Signal	e4				
27				HF_BUS.D12_13_N		f4				
28	Power	Common	Common	DGND	DigitalGND	g4				
29	HF_BUS	To	DPU	HF_BUS.D14_15_P	Out Signal	a5				
30				HF_BUS.D14_15_N		b5				
31	Power	Common	Common	DGND	DigitalGND	c5				
32	CLOCK_DIST	To	DPU	FPGA_CLK128_P	Out Signal	d5				
33				FPGA_CLK128_N		e5				
34	Power	Common	Common	DGND	DigitalGND	f5				
35	Power	From	LV_PS	DVDD13	DigitalPower	g5				
36	Power	Common	Common	DGND	DigitalGND	a6				
37	MF0_BUS	To	DPU	MF0_ADC_CTRL_LVDS.OTRDP	Out Signal	b6				
38				MF0_ADC_CTRL_LVDS.OTRDN		c6				
39	Power	Common	Common	DGND	DigitalGND	d6				
40	MF0_BUS	To	DPU	MF0_ADC_CTRL_LVDS.OTRAP	Out Signal	e6				
41				MF0_ADC_CTRL_LVDS.OTRAN		f6				
42	Power	Common	Common	DGND	DigitalGND	g6				
43	MF0_BUS	From	DPU	MF0_ADC_CTRL_LVDS.STARTP	In Signal	a7				
44				MF0_ADC_CTRL_LVDS.STARTN		b7				
45	Power	Common	Common	DGND	DigitalGND	c7				
46	MF0_SPI	To	DPU	MF0_BUS_SPLDRDYP	Out Signal	d7				
47				MF0_BUS_SPLDRDYN		e7				
48	Power	Common	Common	DGND	DigitalGND	f7				
49	Power	From	LV_PS	DVDD33	DigitalPower	g7				
50	Power	Common	Common	DGND	DigitalGND	a8				
51	MF0_SPI	From	DPU	MF0_BUS_SPLSCLKP	In Signal	b8				
52				MF0_BUS_SPLSCLKN		c8				
53	Power	Common	Common	DGND	DigitalGND	d8				
54	MF0_SPI	To	DPU	MF0_BUS_SPLDOUTP	Out Signal	e8				
55				MF0_BUS_SPLDOUTN		f8				
56	Power	Common	Common	DGND	DigitalGND	g8				
57	MF1_BUS	To	DPU	MF1_ADC_CTRL_LVDS.OTRDP	Out Signal	a9				
58				MF1_ADC_CTRL_LVDS.OTRDN		b9				
59	Power	Common	Common	DGND	DigitalGND	c9				
60	MF1_BUS	To	DPU	MF1_ADC_CTRL_LVDS.OTRAP	Out Signal	d9				
61				MF1_ADC_CTRL_LVDS.OTRAN		e9				
62	Power	Common	Common	DGND	DigitalGND	f9				
63	Power	From	LV_PS	DVDD5	DigitalPower	g9				
64	Power	Common	Common	DGND	DigitalGND	a10				
65	MF1_BUS	From	DPU	MF1_ADC_CTRL_LVDS.STARTP	In Signal	b10				
66				MF1_ADC_CTRL_LVDS.STARTN		c10				
67	Power	Common	Common	DGND	DigitalGND	d10				
68	MF1_SPI	To	DPU	MF1_BUS_SPLDRDYP	Out Signal	e10				
69				MF1_BUS_SPLDRDYN		f10				
70	Power	Common	Common	DGND	DigitalGND	g10				
71	MF1_SPI	From	DPU	MF1_BUS_SPLSCLKP	In Signal	a11				
72				MF1_BUS_SPLSCLKN		b11				
73	Power	Common	Common	DGND	DigitalGND	c11				
74	MF1_SPI	To	DPU	MF1_BUS_SPLDOUTP	Out Signal	d11				
75				MF1_BUS_SPLDOUTN		e11				
76	Power	Common	Common	DGND	DigitalGND	f11				
77	Power	From	LV_PS	DVDD3	DigitalPower	g11				
78	Power	Common	Common	DGND	DigitalGND	a12				
79	MF2_BUS	To	DPU	MF2_ADC_CTRL_LVDS.OTRDP	Out Signal	b12				
80				MF2_ADC_CTRL_LVDS.OTRDN		c12				
81	Power	Common	Common	DGND	DigitalGND	d12				
82	MF2_BUS	To	DPU	MF2_ADC_CTRL_LVDS.OTRAP	Out Signal	e12				
83				MF2_ADC_CTRL_LVDS.OTRAN		f12				
84	Power	Common	Common	DGND	DigitalGND	g12				
85	MF2_BUS	From	DPU	MF2_ADC_CTRL_LVDS.STARTP	In Signal	a13				
86				MF2_ADC_CTRL_LVDS.STARTN		b13				
87	Power	Common	Common	DGND	DigitalGND	c13				
88	MF2_SPI	To	DPU	MF2_BUS_SPLDRDYP	Out Signal	d13				
89				MF2_BUS_SPLDRDYN		e13				
90	Power	Common	Common	DGND	DigitalGND	f13				
91	Power	From	LV_PS	DVDD15	DigitalPower	g13				
92	Power	Common	Common	DGND	DigitalGND	a14				
93	MF2_SPI	From	DPU	MF2_BUS_SPLSCLKP	In Signal	b14				
94				MF2_BUS_SPLSCLKN		c14				
95	Power	Common	Common	DGND	DigitalGND	d14				
96	MF2_SPI	To	DPU	MF2_BUS_SPLDOUTP	Out Signal	e14				
97				MF2_BUS_SPLDOUTN		f14				
98	Power	Common	Common	DGND	DigitalGND	g14				
99						a15				
100						b15				
101	Power	Common	Common	DGND	DigitalGND	c15				
102						d15				

103						#15
104	Power	Common	Common	DGND	DigitalGND	f15
105	Power	From	LV_PS	DVDD15	DigitalPower	g15
106	Power	Common	Common	DGND	DigitalGND	a16
107						b16
108						c16
109	Power	Common	Common	DGND	DigitalGND	d16
110						e16
111						f16
112	Power	Common	Common	DGND	DigitalGND	g15

#	Group	To/From	Where	Name	Purpose	Pin Conn.	Note	Backplane Pin Conn.		
1	Signal	From	Splitter	PROBE0	In Signal	a1				
2	Power	Common	Common	AGND	AnalogGND	b1				
3	Power	Common	Common	AGND	AnalogGND	c1				
4	Power	From	LV_PS	AVDD83	AnalogPOWER	d1	changed_name (ex AVDD8MAIN)			
5	Power	Common	Common	AGND	AnalogGND	e1				
6	Signal	From	Splitter	PROBE2	In Signal	f1				
7	Power	Common	Common	AGND	AnalogGND	g1				
8	Signal	From	Splitter	PROBE1	In Signal	a2				
9	Power	Common	Common	AGND	AnalogGND	b2				
10	Power	Common	Common	AGND	AnalogGND	c2				
11	Power	From	LV_PS	AVDD83	AnalogPOWER	d2	changed_name (ex AVDD8MAIN)			
12	Power	Common	Common	AGND	AnalogGND	e2				
13	Signal	From	Splitter	PROBE3	In Signal	f2				
14	Power	Common	Common	AGND	AnalogGND	g2				
15	Signal	To	Splitter	VPOL	Out Signal	a3				
16	Power	Common	Common	AGND	AnalogGND	b3				
17	Power	Common	Common	AGND	AnalogGND	c3				
18	Power	From	LV_PS	AVDD83	AnalogPOWER	d3	changed_name (ex AVDD8MAIN)			
19	Power	Common	Common	AGND	AnalogGND	e3				
20	Power	Common	Common	AVDD55	AnalogPOWER	f3	new(ToBeConnected) ex AVDD8MAIN removed AVDD8MAIN			
21						g3				
22	Signal	To	Splitter	VPOL	Out Signal	a4				
23	Power	Common	Common	AGND	AnalogGND	b4				
24	Power	Common	Common	AGND	AnalogGND	c4				
25	Power	From	LV_PS	AVSS83	AnalogPOWER	d4	changed_name (ex AVSS8MAIN)			
26	Power	Common	Common	AGND	AnalogGND	e4				
27	Signal	From	Splitter	PROBE0	In Signal	f4	extended_reserve don't use			
28	Signal	From	Splitter	PROBE1	In Signal	g4	extended_reserve don't use			
29	Signal	To	Splitter	VPOL	Out Signal	a5				
30	Power	Common	Common	AGND	AnalogGND	b5				
31	Power	Common	Common	AGND	AnalogGND	c5				
32	Power	From	LV_PS	AVSS83	AnalogPOWER	d5	changed_name (ex AVSS8MAIN)			
33	Power	Common	Common	AGND	AnalogGND	e5				
34	Signal	From	Splitter	PROBE2	In Signal	f5	extended_reserve don't use			
35	Signal	From	Splitter	PROBE3	In Signal	g5	extended_reserve don't use			
36	Signal	To	Splitter	VPOL	Out Signal	a6				
37	Power	Common	Common	AGND	AnalogGND	b6				
38	Power	Common	Common	AGND	AnalogGND	c6				
39	Power	From	LV_PS	AVSS83	AnalogPOWER	d6	changed_name (ex AVSS8MAIN)			
40	Power	Common	Common	AGND	AnalogGND	e6				
41	Signal	From	Splitter	PROBE0	In Signal	f6	new_extended			
42	Signal	From	Splitter	PROBE1	In Signal	g6	new_extended			
43	Signal	To	Splitter	PR_EN0	Out Signal	a7	new(ToBeConnected)			
44	Signal	To	Splitter	PR_EN1	Out Signal	b7	new(ToBeConnected)			
45	Power	Common	Common	AGND	AnalogGND	c7				
46	Power	From	LV_PS	AVDD73	AnalogPOWER	d7	changed_name (ex AVDD77)			
47	Power	Common	Common	AGND	AnalogGND	e7				
48	Signal	From	Splitter	PROBE2	In Signal	f7	new_extended			
49	Signal	From	Splitter	PROBE3	In Signal	g7	new_extended			
50	Signal	To	Splitter	PR_EN2	Out Signal	a8	new(ToBeConnected)			
51						b8				
52	Power	Common	Common	AGND	AnalogGND	c8				
53	Power	From	LV_PS	AVDD73	AnalogPOWER	d8	changed_name (ex AVDD77)			
54	Power	Common	Common	AGND	AnalogGND	e8				
55	Power	From	LV_PS	AVDD55	AnalogPOWER	f8	new(ToBeConnected)			
56						g8				
57	Signal	To	Splitter	PR_EN2	Out Signal	a9	new(ToBeConnected)			
58						b9				
59	Power	Common	Common	AGND	AnalogGND	c9				
60	Power	From	LV_PS	AVDD73	AnalogPOWER	d9	changed_name (ex AVDD77)			
61	Power	Common	Common	AGND	AnalogGND	e9				
62	Power	From	LV_PS	AVDD55	AnalogPOWER	f9	new(ToBeConnected)			
63						g9				
64	Signal	To	Splitter	PR_EN3	Out Signal	a10	new(ToBeConnected)			
65	Signal	To	Splitter	PR_EN3	Out Signal	b10	new(ToBeConnected)			
66	Power	Common	Common	AGND	AnalogGND	c10				
67	Power	From	LV_PS	AVSS73	AnalogPOWER	d10	changed_name (ex AVDD77)			
68	Power	Common	Common	AGND	AnalogGND	e10				
69	Power	From	LV_PS	AVDD55	AnalogPOWER	f10	new(ToBeConnected)			
70	Signal	From	Splitter	SPLITTER_FAULT.F6	In Signal	g10	new(ToBeConnected)			
71	Signal	To	Splitter	PR_EN0	Out Signal	a11				
72	Power	From	LV_PS	AVSS66	AnalogPOWER	b11	new(ToBeConnected)			
73	Power	Common	Common	AGND	AnalogGND	c11				
74	Power	From	LV_PS	AVSS73	AnalogPOWER	d11	new(ToBeConnected)			
75	Power	Common	Common	AGND	AnalogGND	e11	changed_name (ex AVDD77)			
76	Power	From	LV_PS	AVSS66	AnalogPOWER	f11	new(ToBeConnected)			
77	Power	From	LV_PS	AVSS66	AnalogPOWER	g11	new(ToBeConnected)			
78	Signal	To	Splitter	PR_EN1	Out Signal	a12	new(ToBeConnected)			
79	Power	From	LV_PS	AVSS66	AnalogPOWER	b12	new(ToBeConnected)			
80	Power	Common	Common	AGND	AnalogGND	c12				
81	Power	From	LV_PS	AVSS73	AnalogPOWER	d12	changed_name (ex AVDD77)			
82	Power	Common	Common	AGND	AnalogGND	e12				
83	Signal	From	Splitter	SPLITTER_FAULT.F0	In Signal	f12				
84	Signal	From	Splitter	SPLITTER_FAULT.F1	In Signal	g12				

85	Signal	From	Splitter	INPUT_SWTC.SEL0	Out Signal	a13	
86	Signal	From	Splitter	INPUT_SWTC.SEL1	Out Signal	b13	
87	Power	Common	Common	AGND	AnalogGND	c13	
88	Power	From	LV_PS	AVDD55	AnalogPOWER	d13	new(ToBeConnected)
89	Power	Common	Common	AGND	AnalogGND	e13	
90	Signal	From	Splitter	INPUT_SWTC.SEL2	Out Signal	f13	
91	Signal	From	Splitter	INPUT_SWTC.SEL3	Out Signal	g13	
92	Signal	From	Splitter	SPLITTER_FAULT.F2	In Signal	a14	
93	Signal	From	Splitter	SPLITTER_FAULT.F3	In Signal	b14	
94	Power	Common	Common	AGND	AnalogGND	c14	
95	Power	From	LV_PS	AVDD55	AnalogPOWER	d14	new(ToBeConnected)
96	Power	Common	Common	AGND	AnalogGND	e14	
97	Signal	From	Splitter	SPLITTER_FAULT.F4	In Signal	f14	
98	Signal	From	Splitter	SPLITTER_FAULT.F5	In Signal	g14	
99	Signal	From	Splitter	TEMP_RTDD_INP	In Signal	a15	
100	Signal	From	Splitter	TEMP_RTDD_INN	In Signal	b15	
101	Power	Common	Common	AGND	AnalogGND	c15	
102	Power	From	LV_PS	AVDD55	AnalogPOWER	d15	new(ToBeConnected)
103	Power	Common	Common	AGND	AnalogGND	e15	
104	Signal	From	Splitter	TEMP_RTDD1_INP	In Signal	f15	
105	Signal	From	Splitter	TEMP_RTDD1_INN	In Signal	g15	
106	Signal	From	Splitter	TEMP_RTDD2_INP	In Signal	a16	
107	Signal	From	Splitter	TEMP_RTDD2_INN	In Signal	b16	
108	Power	Common	Common	AGND	AnalogGND	c16	
109	Power	From	LV_PS	AVDD55	AnalogPOWER	d16	new(ToBeConnected)
110	Power	Common	Common	AGND	AnalogGND	e16	
111	Signal	From	Splitter	TEMP_RTDD3_INP	In Signal	f16	
112	Signal	From	Splitter	TEMP_RTDD3_INN	In Signal	g16	

ELENCO DEI SEGNALI DI APU SPLITTER

SEGNALI DA E PER SPLITTER VERSO APU HOT E COLD

Connettori A3 e A4 tipo C-1410140-1-D

FUNZIONE	SEGNALE	FROM /TO SPLITTER	APU HOT	APU COLD	Pin del connettore A3 o A4	Note
Alimentazioni						
	Analog GND	SISTEM	OK	OK	B1-C1-E1-G1- B2-C2-E2-G2- B3-C3-E3- B4-C4-E4- B5-C5-E5- B6-C6-E6- C7-E7- C8-E8- C9-E9- C10-E10- C11-E11- C12-E12- C13-E13- C14-E14- C15-E15- C16-E16	
	AVDD83	X	X	X		
	AVSS83	X	X	X		
	AVDD55	X	X	X		
	AVDD73	TO	OK	OK	D7-D8-D9	
	AVSS73	TO	OK	OK	D10-D11-D12	
	AVSS6	X	X	X		
Segnali						
	Probe 0	FROM	OK	OK	A1-F4-F6-	
	Probe 1	FROM	OK	OK	A2-G4-G6	
	Probe 2	FROM	OK	OK	F1-F5-F7	
	Probe 3	FROM	OK	OK	F2-G5-G7	
Polarizzazione						
	Vpol	TO	OK	OK	A3-A4-A5-A6	
Comandi						
	PR_EN_0	TO	OK	OK	A7-A11	
	PR_EN_1	TO	OK	OK	B7-A12	
	PR_EN_2	TO	OK	OK	A8-A9	
	PR_EN_3	TO	OK	OK	A10-B10	

Failure						
	SPLITTER_FAULT_F0	FROM	OK	OK	F12-	
	SPLITTER_FAULT_F1	FROM	OK	OK	G12	
	SPLITTER_FAULT_F2	FROM	OK	OK	A14	
	SPLITTER_FAULT_F3	FROM	OK	OK	B14	
	SPLITTER_FAULT_F4	FROM	OK	OK	F14	
	SPLITTER_FAULT_F5	FROM	OK	OK	G14	
	SPLITTER_FAULT_F6	FROM	OK	OK	G10	
	SPLITTER_FAULT_F7	FROM	OK	OK		
	SPLITTER_FAULT_F8	FROM	OK	OK		
RTD						
	TEMP_RTD0_INP	FROM	OK	OK	A15	
	TEMP_RTD0_INN	FROM	OK	OK	B15	
	TEMP_RTD1_INP	FROM	OK	OK	F15	
	TEMP_RTD1_INN	FROM	OK	OK	G15	
	TEMP_RTD2_INP	FROM	OK	OK	A16	
	TEMP_RTD3_INN	FROM	OK	OK	B16	
	TEMP_RTD3_INP	FROM	OK	OK	F16	
	TEMP_RTD3_INN	FROM	OK	OK	G16	

X = Segnale-alimentazione non utilizzato

OK = Segnale-alimentazione utilizzato

SISTEM = Segnale-alimentazione generale del sistema

NOMI DEI SEGNALI Nella scheda SPLITTER per distinguere i segnali provenienti o diretti alla scheda APU HOT da quelli della scheda gemella APU COLD ,si aggiunge alla fine del nome il suffisso HOT o COLD .

Esempio "PR_EN_0_HOT"

I segnali di " Failure " sono 8 , ipotizzare un modo semplice per inviarli alla scheda HOT o COLD , previo accordo con Badoni

△ HOUSING: LCP, UL94V0, COLOR: BLACK
CONTACT PHOSPHOR BRONZE

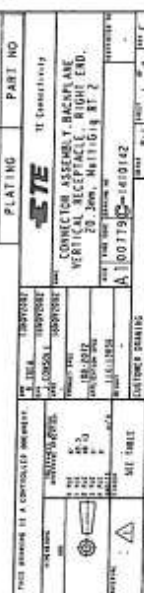
△ FINISH: 1.27 μ m GOLD IN CONTACT AREA 1.27 μ m
MIN. TIN INLEAD ON PCB TAIL OVER 3.81 μ m MIN
NICKEL OVER ALL

△ FINISH: 1.27 μ m GOLD IN CONTACT AREA 1.27 μ m
MIN. TIN ON PCB TAIL OVER 3.81 μ m MIN
NICKEL OVER ALL

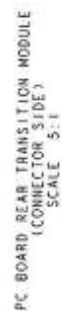
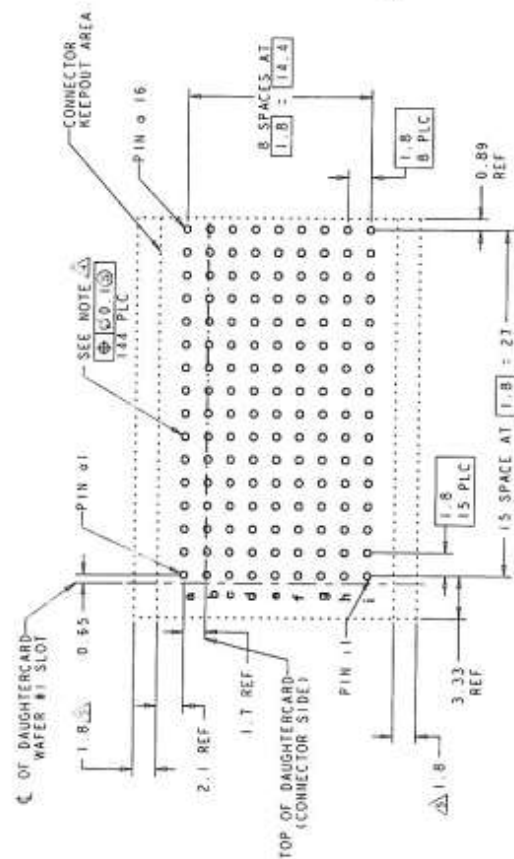
△ PLATE THROUGH HOLE PER TE SPEC. 114-13056
FIGURE 4

△ ADDITIONAL CONNECTOR-SIDE KEYPOT AREA
REQUIRED IF CONNECTOR-SIDE EXTRACTION
TOOL IS TO BE USED

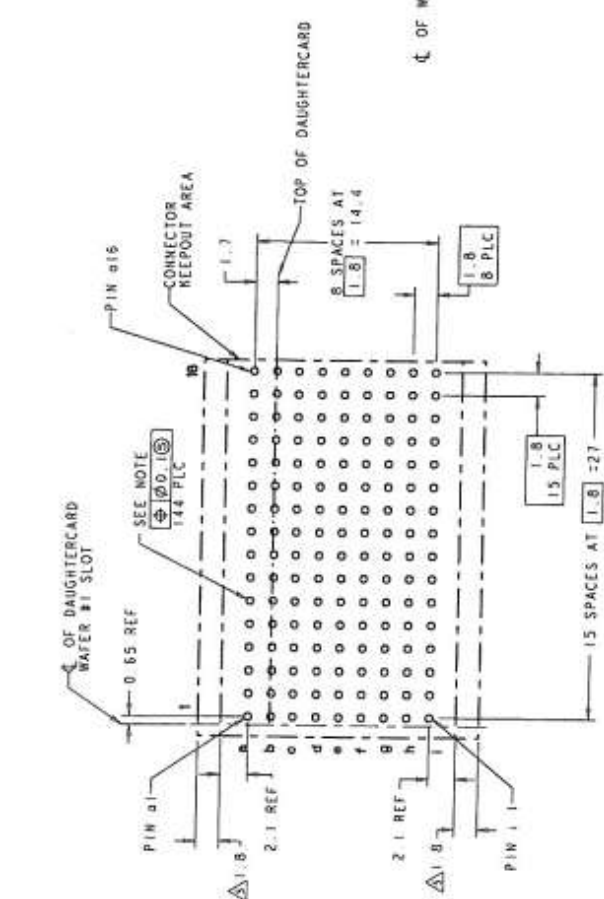
△ PLASTIC ALIGNMENT PIN MUST BE
REMOVED FLUSH TO HOUSING BODY
PRIOR TO INSERTION INTO RTM LAYOUT



PC BOARD LAYOUT
(CONNECTOR SIDE)
SEE SHEET 2 FOR RTM
SCALE 5"

[illegible][illegible]

Shuttle with 2	11:00am (0)
Shuttle for 2000	11:00am (0)
Shuttle for 2000	11:00am (0)



THIS DRAWING IS A CONTROLLER DOCUMENT	REVISIONS	DATE	BY	CHKD	APP'D	DESCRIPTION
	1	20/02/2006	W. LAM			REWORKING
	2	20/02/2006	W. LAM			REWORKING
	3	20/02/2006	W. LAM			REWORKING
	4	20/02/2006	W. LAM			REWORKING
	5	20/02/2006	W. LAM			REWORKING
	6	20/02/2006	W. LAM			REWORKING
	7	20/02/2006	W. LAM			REWORKING
	8	20/02/2006	W. LAM			REWORKING
	9	20/02/2006	W. LAM			REWORKING
	10	20/02/2006	W. LAM			REWORKING
	11	20/02/2006	W. LAM			REWORKING
	12	20/02/2006	W. LAM			REWORKING
	13	20/02/2006	W. LAM			REWORKING
	14	20/02/2006	W. LAM			REWORKING
	15	20/02/2006	W. LAM			REWORKING
	16	20/02/2006	W. LAM			REWORKING
	17	20/02/2006	W. LAM			REWORKING
	18	20/02/2006	W. LAM			REWORKING
	19	20/02/2006	W. LAM			REWORKING
	20	20/02/2006	W. LAM			REWORKING
	21	20/02/2006	W. LAM			REWORKING
	22	20/02/2006	W. LAM			REWORKING
	23	20/02/2006	W. LAM			REWORKING
	24	20/02/2006	W. LAM			REWORKING
	25	20/02/2006	W. LAM			REWORKING
	26	20/02/2006	W. LAM			REWORKING
	27	20/02/2006	W. LAM			REWORKING
	28	20/02/2006	W. LAM			REWORKING
	29	20/02/2006	W. LAM			REWORKING
	30	20/02/2006	W. LAM			REWORKING
	31	20/02/2006	W. LAM			REWORKING
	32	20/02/2006	W. LAM			REWORKING
	33	20/02/2006	W. LAM			REWORKING
	34	20/02/2006	W. LAM			REWORKING
	35	20/02/2006	W. LAM			REWORKING
	36	20/02/2006	W. LAM			REWORKING
	37	20/02/2006	W. LAM			REWORKING
	38	20/02/2006	W. LAM			REWORKING
	39	20/02/2006	W. LAM			REWORKING
	40	20/02/2006	W. LAM			REWORKING
	41	20/02/2006	W. LAM			REWORKING
	42	20/02/2006	W. LAM			REWORKING
	43	20/02/2006	W. LAM			REWORKING
	44	20/02/2006	W. LAM			REWORKING
	45	20/02/2006	W. LAM			REWORKING
	46	20/02/2006	W. LAM			REWORKING
	47	20/02/2006	W. LAM			REWORKING
	48	20/02/2006	W. LAM			REWORKING
	49	20/02/2006	W. LAM			REWORKING
	50	20/02/2006	W. LAM			REWORKING
	51	20/02/2006	W. LAM			REWORKING
	52	20/02/2006	W. LAM			REWORKING
	53	20/02/2006	W. LAM			REWORKING
	54	20/02/2006	W. LAM			REWORKING
	55	20/02/2006	W. LAM			REWORKING
	56	20/02/2006	W. LAM			REWORKING
	57	20/02/2006	W. LAM			REWORKING
	58	20/02/2006	W. LAM			REWORKING
	59	20/02/2006	W. LAM			REWORKING
	60	20/02/2006	W. LAM			REWORKING
	61	20/02/2006	W. LAM			REWORKING
	62	20/02/2006	W. LAM			REWORKING

1111





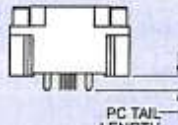
790-043P Straight PCB Terminated Free-Standing Receptacle, Pin Contacts How To Order

790-043P Straight PCB Free-Standing Receptacles PIN CONTACTS WITH STRAIGHT PCB TERMINATION



790-043P connectors feature thru-hole termination to rigid or flexible circuits. These free-standing vertical mount headers mate with 790-025S cable connectors. 29 contact arrangements include size #16 and #12 power contacts for maximum design flexibility. Contacts are epoxy encapsulated and are non-removable. Fluorosilicone face seal provides watertight sealing when mated. One-piece machined aluminum shell has threaded holes for board attachment.

HOW TO ORDER

Sample Part Number				
790-043P	K-9P9	M	P	A
Part Number	Shell Size - Insert Arrangements	Shell Finish	Hardware Option	PC Tail Length
790-043P Receptacle with Straight PC Tail Pin Contacts for Termination to Backplanes or Flexible Circuits	See Table 1 for Available Insert Arrangements	M Electroless Nickel <i>general purpose applications</i>	 N No Hardware	A .125 Inch (3.2 mm.)
		MT Nickel-PTFE 1000 Hour Grey™ <i>maximum corrosion protection and durability (non-reflective grey)</i>	 P Female Jackpost	B .250 inch (6.4 mm.)
		ZNU Zinc-Nickel with Black Chromate <i>tactical applications (non-reflective black)</i>	 PC TAIL LENGTH	
Additional shell finishes are listed on page C-9.				

SPECIFICATIONS

Current Rating	#23 5 AMPS, #16 13 A., #12 23 A.
Dielectric Withstanding Voltage	#23 500 VAC RMS, #12 and #16 1800 VAC RMS
Insulation Resistance	5000 megohms minimum
Operating Temperature	-65° C. to +150° C.
Shock	300 g.
Vibration	37 g.

MATERIALS AND FINISHES

Shell	Aluminum alloy
Contacts	Copper alloy, 50 microinches gold plated
Insulators	Liquid crystal polymer (LCP)
Interfacial Seal	Fluorosilicone rubber
Jackpost	300 series stainless steel
Encapsulant	Epoxy

Dimensions in Inches (millimeters) are subject to change without notice.

790-043P
Straight PCB Terminated
Free-Standing Receptacle, Pin Contacts
How To Order

Glenair®

Series 79
 Straight
 PCB Connectors

Table Contact Arrangements

Layout	Contact Quantity			Face View
	#23	#16	#12	
A-5	5			
B-2P2		2		
B-9	9			
C-13	13			
D-15	15			
D-3P3		3		
D-7P2	5	2		
E-11P2	9	2		
E-19	19			
E-7P3	4	3		
F-15P2	13	2		
F-23	23			
F-5P5		5		
G-33	33			
H-10P4	6	4		
H-29P7	22	7		
H-36P2	34	2		
H-54P2	52	2		
H-5P5		5		
H-66	66			
J-17P4	13	4		
J-25P2	23	2		
J-33	33			
J-7P7		7		
K-27P4	23	4		
K-35P2	33	2		
K-43	43			
K-9P9		9		
L-6P6		6		
L-78	78			
M-102	102			

CROSS-SECTIONAL VIEW OF 790-043P

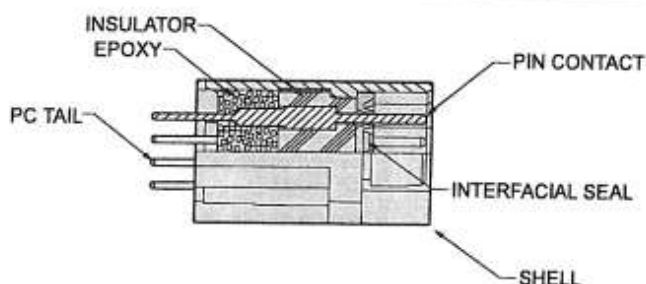
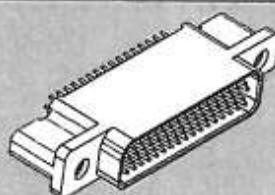


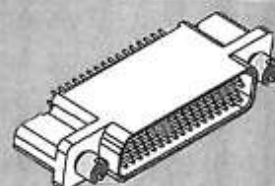
TABLE 2 HARDWARE OPTION



N

No Mating Hardware

Connector is supplied with threaded holes. Shell size M has #8-32 threads, shell sizes H and L have #6-32 threads, other sizes have #4-40 threads. Thread depth is .150" (3.8).



P

Jackposts

Connector is supplied with non-removable stainless steel jackposts. Shell size M has #6-32 threads, shell sizes H and L have #4-40 UNC thread, other sizes have #2-56 thread.

F

Dimensions in Inches (millimeters) are subject to change without notice.

© 2011 Glenair, Inc.

U.S. CAGE Code 06324

Printed in U.S.A.

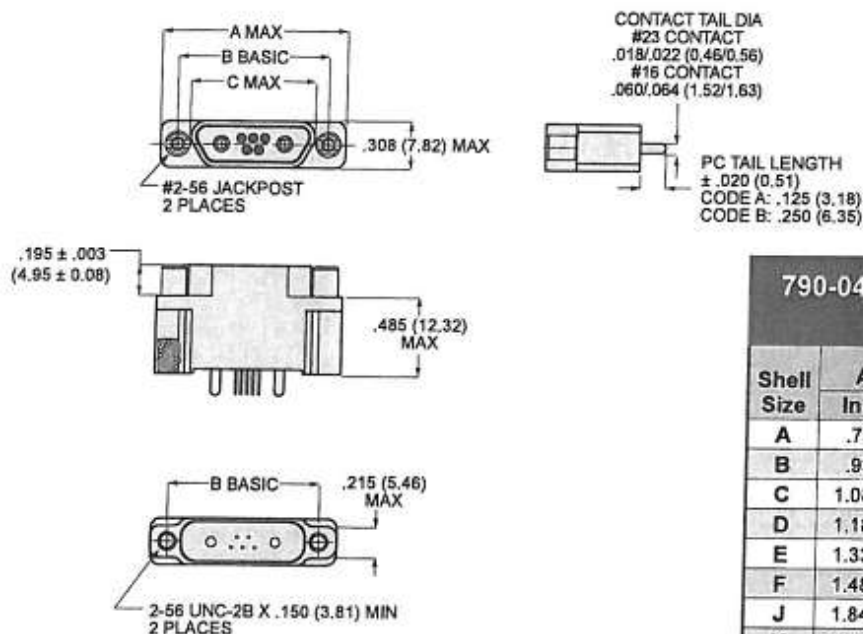
GLENAIR, INC. • 1211 AIR WAY • GLENDALE, CA 91201-2497 • 818-247-6000 • FAX 818-500-9912
www.glenair.com

F-7

E-Mail: sales@glenair.com

Rev. 10/16/19

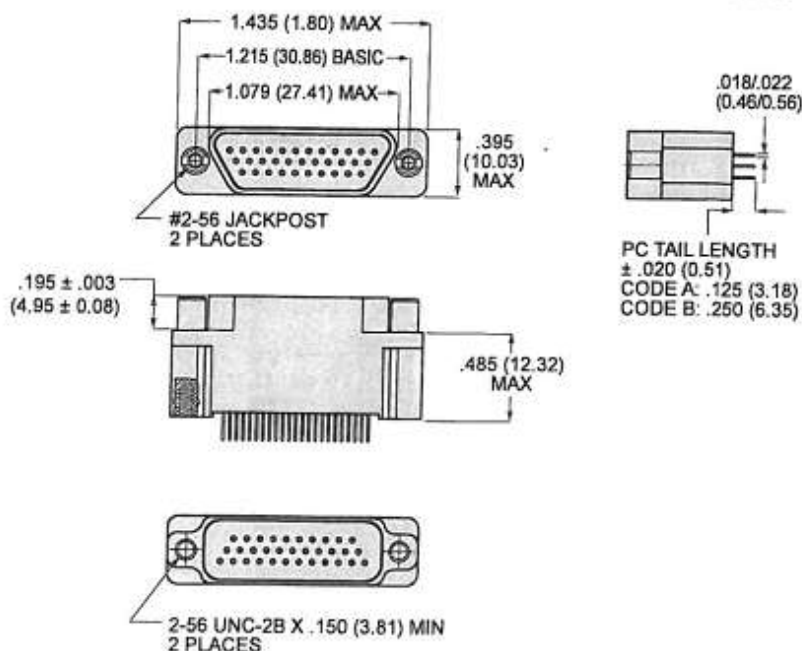
790-043P Shell Size A-G, J and K Dimensions



**790-043P SHELL SIZE A-K, J & K
DIMENSIONS**

Shell Size	A Max.		B Basic		C Max.	
	In.	mm.	In.	mm.	In.	mm.
A	.785	19.94	.565	14.35	.400	10.16
B	.935	23.75	.715	18.16	.551	14.00
C	1.085	27.56	.865	21.97	.701	17.81
D	1.185	30.10	.965	24.51	.801	20.35
E	1.335	33.91	1.115	28.32	.951	24.16
F	1.485	37.72	1.265	32.13	1.101	27.96
J	1.845	46.86	1.615	41.02	1.460	37.08
K	2.240	56.90	2.015	51.18	1.860	47.24

790-043P Shell Size G Dimensions



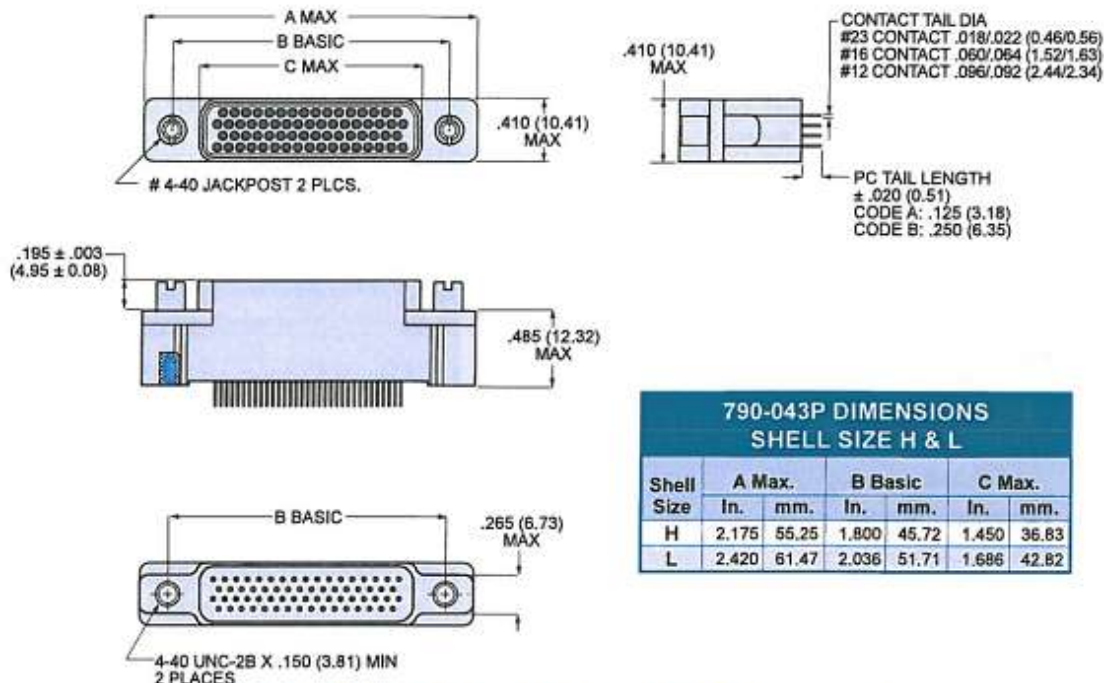
Dimensions in Inches (millimeters) are subject to change without notice.

790-043P
Straight PCB Terminated
Free-Standing Receptacle, Pin Contacts
Dimensions

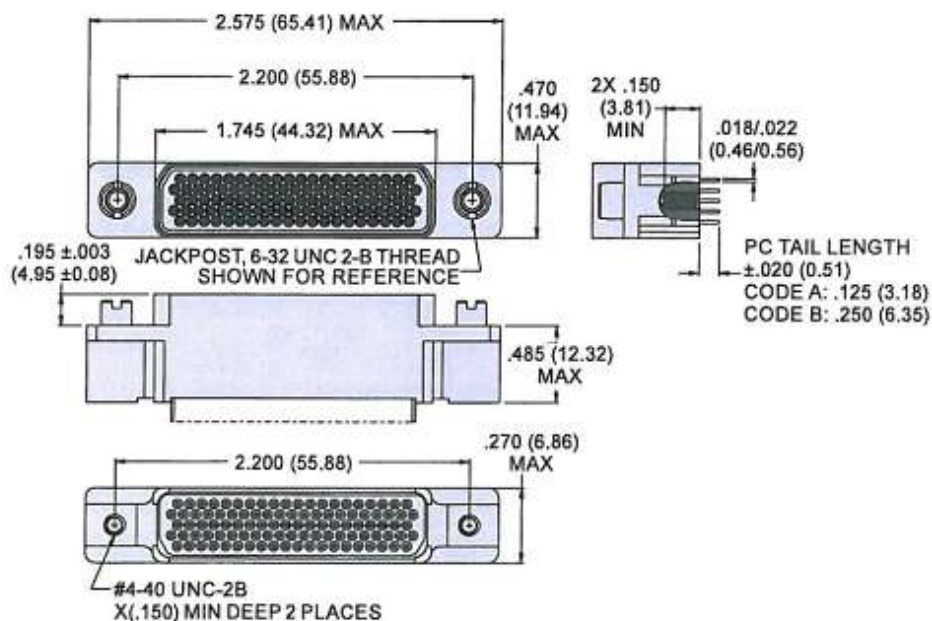


Series 79
 Straight
 PCB Connectors

790-043P Shell Size H and L Dimensions



790-043P Shell Size M Dimensions



Dimensions in Inches (millimeters) are subject to change without notice.

EVIDENZIAMENTO DEI PIN LIBERI SUI CONNETTORI DI APU

NOTA VISTO IL RAPPORTO QUASI 1:1 TRA
APU E DPU, EVIDENZIARE I PIN LIBERI
SU APU CONSENTE DI AVERE UNA
SITUAZIONE MOLTO CHIARA DEI PIN
CHE DPU POTRÀ DESTINARE AD ALTRI
USI (RS422 CAN POWER ECC)

QUALITA' DEI COMPONENTI E PROCESSI PRODUTTIVI

a) QUALITA' DEI COMPONENTI

CLASSE DEI COMPONENTI (In ordine preferenziale)

Spaziali

Militari

AEQ200

AEQ100

Automotive

Già usati in altri progetti con risultati positivi

Altri solo se concordati dal committente

REQUISITI COMPONENTI

I componenti selezionati dovranno essere compatibili con i necessari criteri di affidabilità nelle condizioni operative del satellite (appartenenti ad una "Preferred Part List" ed altri analoghi criteri).

Range minimo temperatura; da -40° a $+105^{\circ}$ °C per i componenti elettronici attivi e da -55° a $+125^{\circ}$ °C per i passivi

I componenti selezionati non dovranno essere soggetti a vincoli di esportazione ITAR (International Traffic in Arms Regulations)

CIRCUITI STAMPATI

Circuiti stampati in FR4 multistrato (oppure poliammide).

Saldature con lega stagno-piombo

b) FABBRICAZIONE

progettazione PCB: ECSS-Q-ST-70-12

produzione PCB: almeno IPC-6012 Class 3;

montaggio schede: almeno IPC-A-610 Class 3;

c) COMPONENTI in Conto Lavorazione

Il committente fornisce in conto lavorazione n.12 DC/DC converter, n.12 filtri EMI e n.12 fusibili qualificati spazio.

EMI Filter Ecrim HFME(20-50)-461-500sp; space miniature fuse Ecrim MF3216-FF-125-5.0.; DC/DC Converters Ecrim HDCCD/(20-50)-5-50/SP).

FUSIBILI (specifiche TBD)

Il committente non prevede l'impiego di altri componenti qualificati per uso spaziale oltre a quelli elencati.

La fornitura di altri componenti qualificati sarà concordata in caso di inderogabili necessità di progetto.

DELIVERABLE

La fornitura oggetto del presente contratto prevede la consegna dei seguenti deliverable:

- [D1] progetto sorgente schede
- [D2] piano di montaggio schede (file dxf e dwg)
- [D3] file gerber schede
- [D4] file lamine
- [D5] coordinate pick & place schede
- [D6] n. 6 schede LVPS, n.3 Splitter e BP per QM montate e testate
- [D7] n. 6 schede LVPS, n.3 Splitter e BP per FM montate e testate
- [D8] documento di specifica della scheda (pdf)
- [D9] certificati di conformità produzione e montaggio schede (file pdf)
- [D10] report di conformità in base alle procedure di bring up fornite (file pdf)
- [D11] BOM
- [D12] test di laboratorio e procedure di prova
- [D13] Test report (Test elettrici su singole schede. Sono esclusi test di integrazione con altri moduli e test ambientali)
- [D14] SW per FPGA di LVPS

TERMINI DI CONSEGNA

Per la consegna della fornitura sono previsti i termini e le milestone riportati nella tabella sottostante.

ID	Tempo	Milestone	Descrizione	Deliverable
M1	T0	KOM	Consegna documentazione in input a ditta aggiudicataria	N/A
M2	T1=T0+8 wks	SRR	Definizione requisiti HW e SW FPGA Progettazione HW e SW FPGA	Versione iniziale D1
M3	T2=T1+4wks	PDR	Validazione sbroglio ed ipotesi piazzamento preliminare	Versione preliminare di D1, D2
M4	T3=T2+8wks	RA	Revisione master e conformità requisiti outline meccanico. SW FPGA preliminare	Versione preliminare D1, D2, D3, D4, D5, D14
M5	T4=T3+4wks	CDR	Revisione ed approvazione documentazione costruttiva per avvio produzione schede;	Versione finale D1, D2, D3, D4, D5
M6	T5=T4+11wks	QR	Consegna schede QM e report di conformità, accettazione fornitura	D6, D8, D9, D10, D11, D12
M7	T6=T5+(*)+8 wks	AR	Consegna schede FM e report di conformità, accettazione fornitura	D7, D8, D9, D10, D11, D12, D13, D14

Tabella 1: Termini e milestone per la consegna della fornitura. Il tempo T0 è definito come la data di ricevimento dell'ordinativo di fornitura. Legenda: KOM (Kick-Off Meeting), SRR (System Requirements Review), PDR (Preliminary Design Review), RA (Riunione Avanzamento), CDR (Critical Design Review), QR (Qualification Review), AR (Acceptance Review). (*) Tempo per test nelle facilities INAF escluso dal computo del T6.

TEMPI E MODALITÀ DI CONSEGNA

Il servizio dovrà essere effettuato improrogabilmente secondo i tempi e le modalità indicati nel paragrafo 5.3 TERMINI DI CONSEGNA del presente Capitolato Tecnico a partire dalla data di ricevimento del presente ordinativo di fornitura.

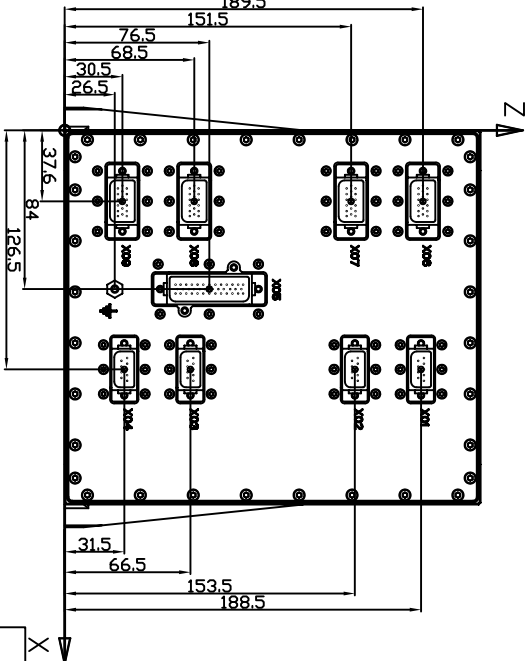
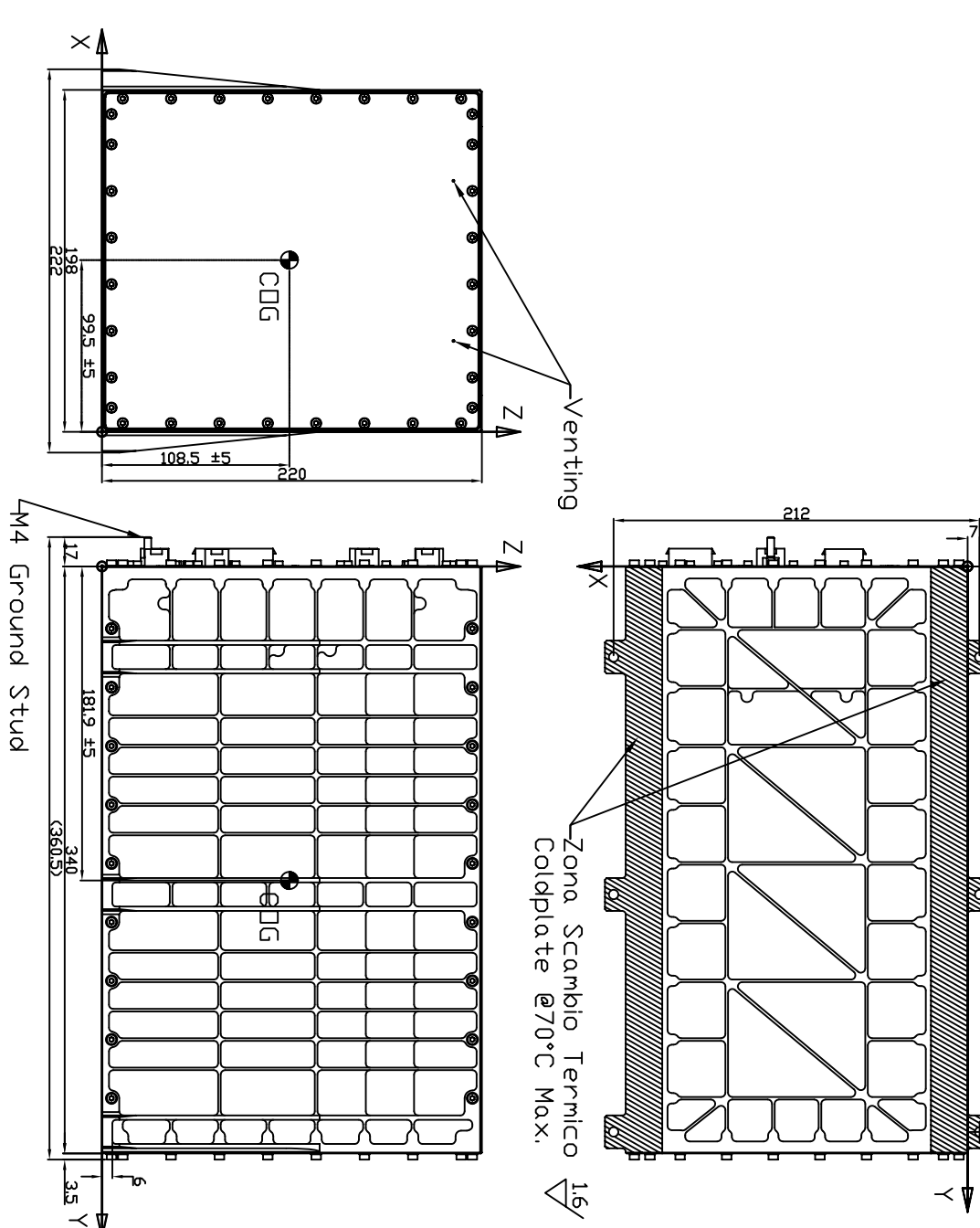
Appendici

Appendice A Meccanica e connessioni

Nell'appendice sono riportate le tavole del design preliminare di:

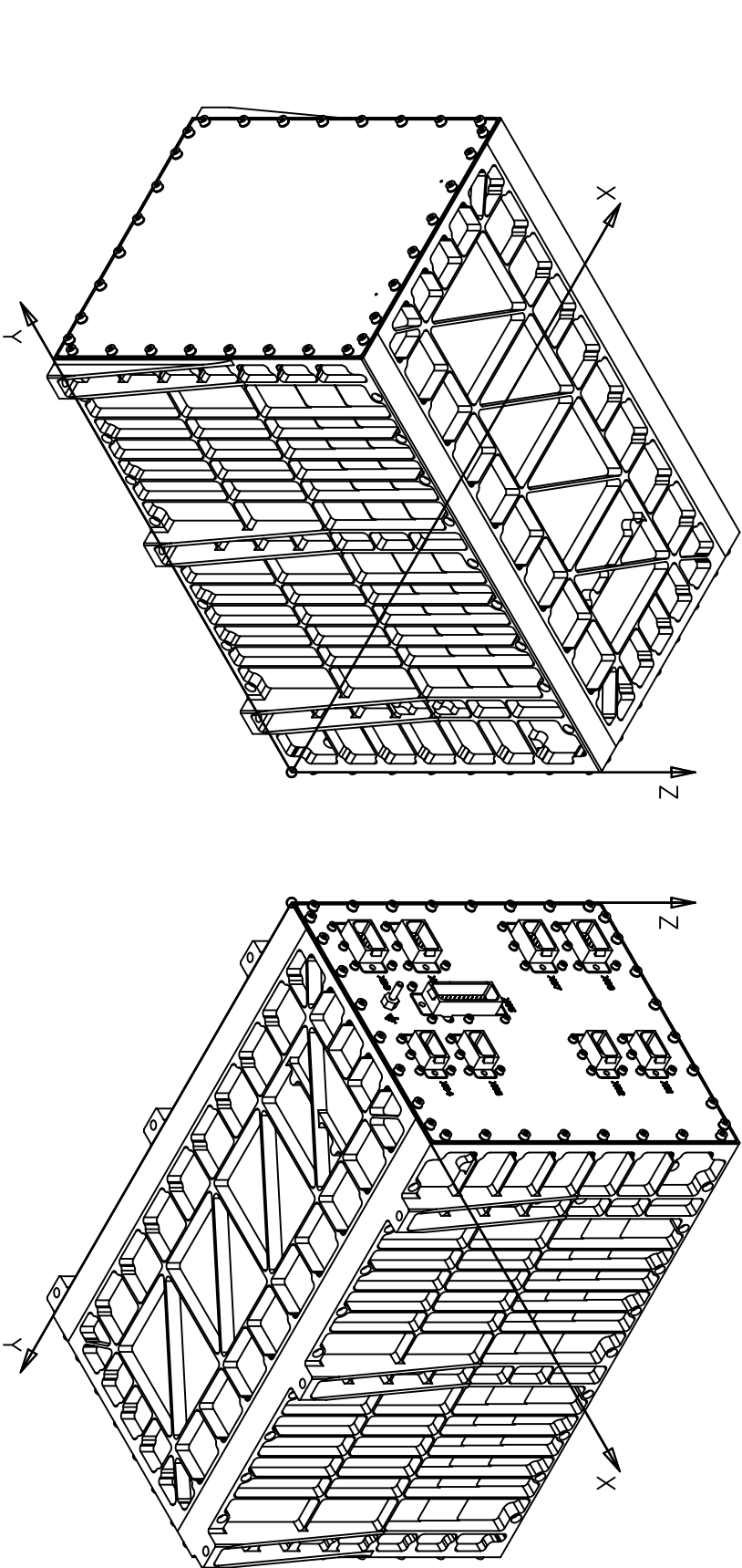
- Box EFD quote
- Back-Plane 1/2
- Back-Plane 2/2
- Back-Plane PCB 1/2
- Back-Plane PCB 2/2
- Power 1/2
- Power 2/2
- Power PCB
- Splitter 1/2
- Splitter 2/2
- Splitter PCB
- Cavo_X01-X04
- Cavo X05
- Cavo X06
- Cavo X07
- Cavo X08
- Cavo X09

Rev.	ECO	Descrizione modifica Description	Modificato da: Modified by:	Controllato: Checked:	Visto Sicurezza: Security:	Data:
01	-	-	-	-	-	-

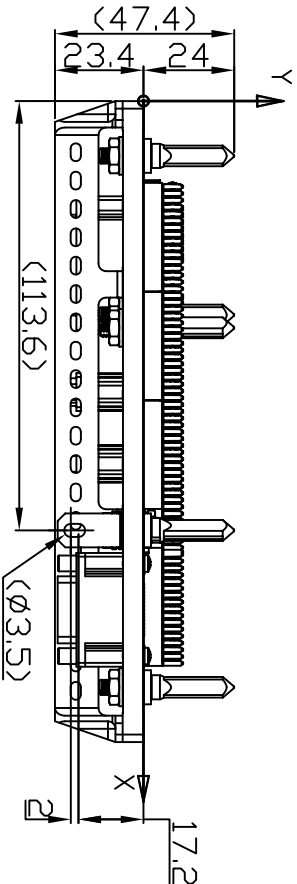
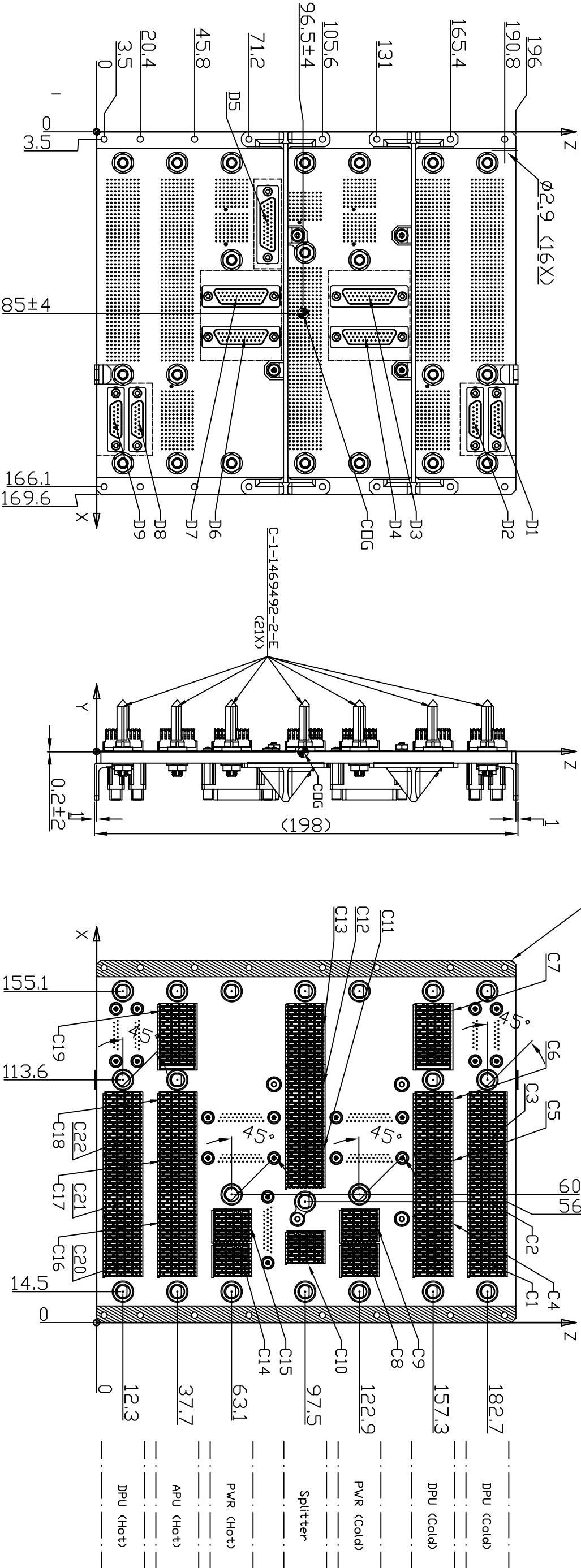


Massa Totale: 12.6kg (±5%)		
Posizione Baricentro		
Xcg	99.5 ± 5mm	
Ycg	181.9 ± 5 mm	
Zcg	108.5 ± 5 mm	
Tensore d'inerzia Baricentrico [TONNE * MM ²] (Riferimento COG)		
Jxx: 1.6358e+02	Jxy: 9.495e-2	Jxz: -1.4749e-01
	Jyy: 9.7334e+01	Jyz: -6.6005e-01
		Jzz: 1.6515e+02
Momenti Principali [TONNE * MM ²]		
I ₁	I ₂	I ₃
9.73275e+01	1.63564e+02	1.65176e+02
Raggi d'inerzia [mm]		
R ₁	R ₂	R ₃
-	-	-

CONNETTORE	DESCRIZIONE	DESTINAZIONE
X01	J36W-9ZJB (KAIDA/ANDVAY)	
X02	J36W-9ZJB (KAIDA/ANDVAY)	
X03	J36W-9ZJB (KAIDA/ANDVAY)	
X04	J36W-9ZJB (KAIDA/ANDVAY)	
X05	J36W-38ZJB (KAIDA/ANDVAY)	
X06	J36W-17ZKB (KAIDA/ANDVAY)	
X07	J36W-17ZKB (KAIDA/ANDVAY)	
X08	J36W-17ZKB (KAIDA/ANDVAY)	
X09	J36W-17ZKB (KAIDA/ANDVAY)	



1 di 1		CC005990-02-AS-01			CC005990-02-DD-01		
Foglio n° Sheet n°		Particolare Model name			Nome file File name		
Descrizione: Description: Assieme EFD-02		SCALA: SCALE:		1/4			
Materiale: Material:		Trattamenti: Finish:		NATO CAGE		N.A.	
-		-		Classifica: Classification:		Non Classificato	
Disegnato da Drawn by		Controllato Checked		Approvato da Approved by		-	
Firma - Signature		Firma - Signature		Firma - Signature		-	
P. Menichetti Data: 15-Jan-2020		C. Ceccarelli Data: 20-Jan-2020		-		-	
							
						CAE & Cooling Systems	

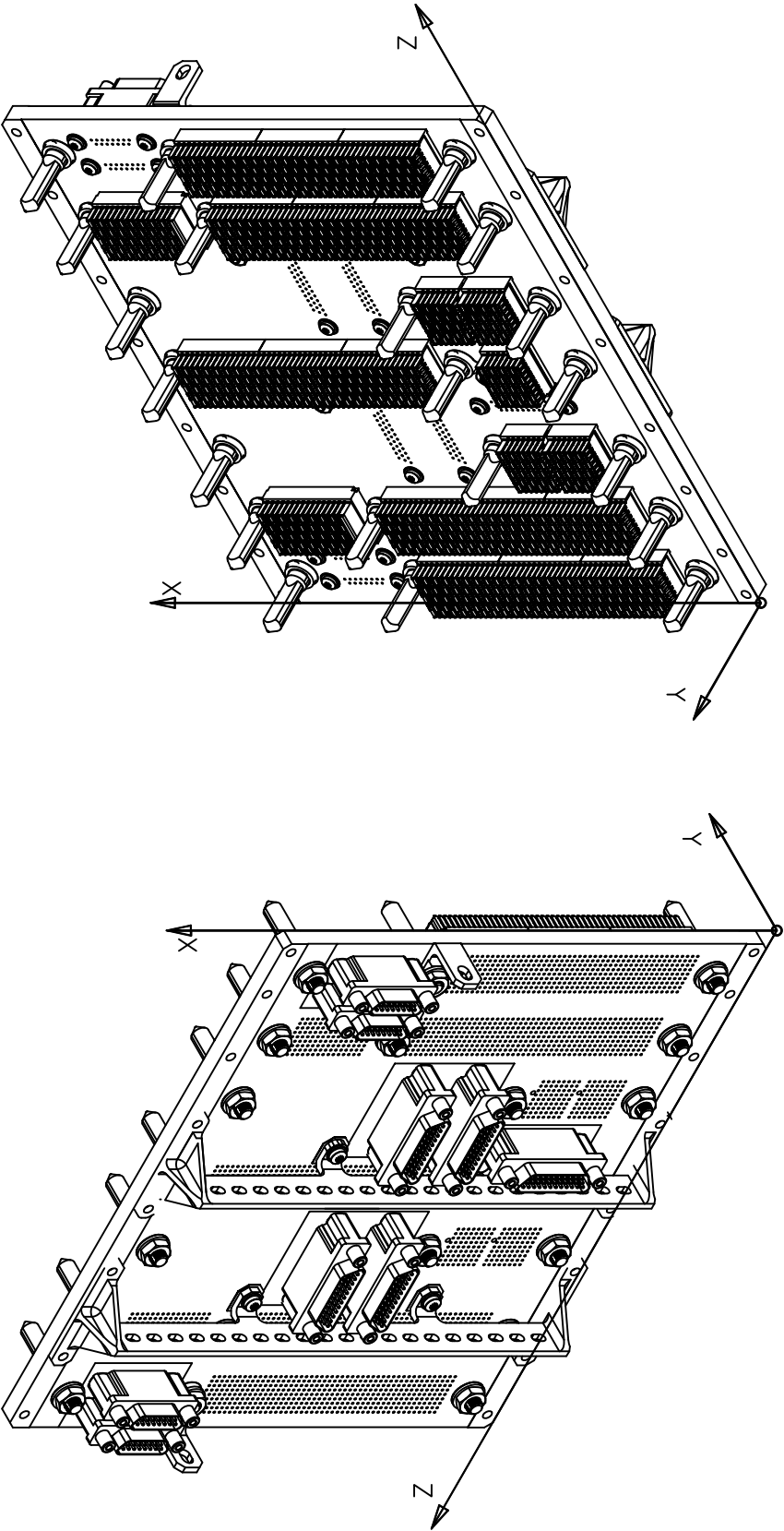


1 di 2	CC005991-02-AS-01			CC005991-02-DD-01		
Foglio n° Sheet n°	Particolare Model name			Nome file File name		
Descrizione: Description: Ass. EFD-02-Back-Plane						
Materiale: Material:	Treatments: Finish:	Classification: Classification:		Tip profile - Drawing method		
-	-	Non Classificato		NATO CAGE	N.A.	
Disegnato da Drawn by	Controllato Checked	Approvato da Approved by		Formato: Size:	A3	
Firma - Signature	Firma - Signature	Firma - Signature		Massa: Weight:	1.750kg	
P. Menichetti Data: 15-Jan-2020	C. Ceccarelli Data: 20-Jan-2020	- Data:				

Tabella Connessioni		
CONNETTORE	DESCRIZIONE	DESTINAZIONE
C1	C-1410140-1-D-3D <TE Connectivity>	DPU <Cold> A1
C2	C-1410140-1-D-3D <TE Connectivity>	DPU <Cold> A2
C3	C-1410140-1-D-3D <TE Connectivity>	DPU <Cold> A3
C4	C-1410140-1-D-3D <TE Connectivity>	APU <Cold> A1
C5	C-1410140-1-D-3D <TE Connectivity>	APU <Cold> A2
C6	C-1410140-1-D-3D <TE Connectivity>	APU <Cold> A3
C7	C-1410142-1-D-3D <TE Connectivity>	APU <Cold> A4
C8	C-1410186-1-D-3D <TE Connectivity>	PWR <Cold> A1
C9	C-1410186-1-D-3D <TE Connectivity>	PWR <Cold> A2
C10	C-1410186-1-D-3D <TE Connectivity>	Splitter <Hot/Cold> A1
C11	C-1410140-1-D-3D <TE Connectivity>	Splitter <Hot/Cold> A2
C12	C-1410140-1-D-3D <TE Connectivity>	Splitter <Hot/Cold> A3
C13	C-1410140-1-D-3D <TE Connectivity>	Splitter <Hot/Cold> A4
C14	C-1410186-1-D-3D <TE Connectivity>	PWR <Hot> A1
C15	C-1410186-1-D-3D <TE Connectivity>	PWR <Hot> A2
C16	C-1410140-1-D-3D <TE Connectivity>	APU <Hot> A1
C17	C-1410140-1-D-3D <TE Connectivity>	APU <Hot> A2
C18	C-1410140-1-D-3D <TE Connectivity>	APU <Hot> A3
C19	C-1410142-1-D-3D <TE Connectivity>	APU <Hot> A4
C20	C-1410140-1-D-3D <TE Connectivity>	DPU <Hot> A1
C21	C-1410140-1-D-3D <TE Connectivity>	DPU <Hot> A2
C22	C-1410140-1-D-3D <TE Connectivity>	DPU <Hot> A3
D1	790-043P_D-15_MPB <Glenair Micro-Crimp>	Cavo X01-X04: E1
D2	790-043P_D-15_MPB <Glenair Micro-Crimp>	Cavo X01-X04: E1
D3	790-043P_D-33_MPB <Glenair Micro-Crimp>	Cavo X07: E7
D4	790-043P_D-33_MPB <Glenair Micro-Crimp>	Cavo X06: E6
D5	790-043P_D-33_MPB <Glenair Micro-Crimp>	Cavo X05: E5
D6	790-043P_D-33_MPB <Glenair Micro-Crimp>	Cavo X09: E9
D7	790-043P_D-33_MPB <Glenair Micro-Crimp>	Cavo X08: E8
D8	790-043P_D-15_MPB <Glenair Micro-Crimp>	Cavo X01-X04: E3
D9	790-043P_D-15_MPB <Glenair Micro-Crimp>	Cavo X01-X04: E4

Massa Totale: 1.00 (±10%)

Posizione Baricentro		
Xcg	85 ± 4mm	
Ycg	-0.2 ± 2 mm	
Zcg	96.5 ± 4 mm	
Tensore d'inerzia Baricentrico [TONNE * MM ²] (Riferimento COG)		
Jxx: 3.2969e+00	Jxy: 2.0586e-02	Jxz: -1.3039e-2
	Jyy: 5.5886e+00	Jyz: 7.440e-3
		Jzz: 2.37475e+00
Momenti Principali [TONNE * MM ²]		
I ₁	I ₂	I ₃
2.37455e+00	3.29693e+00	5.58877e+00
Raggi d'inerzia [mm]		
R ₁	R ₂	R ₃
-	-	-



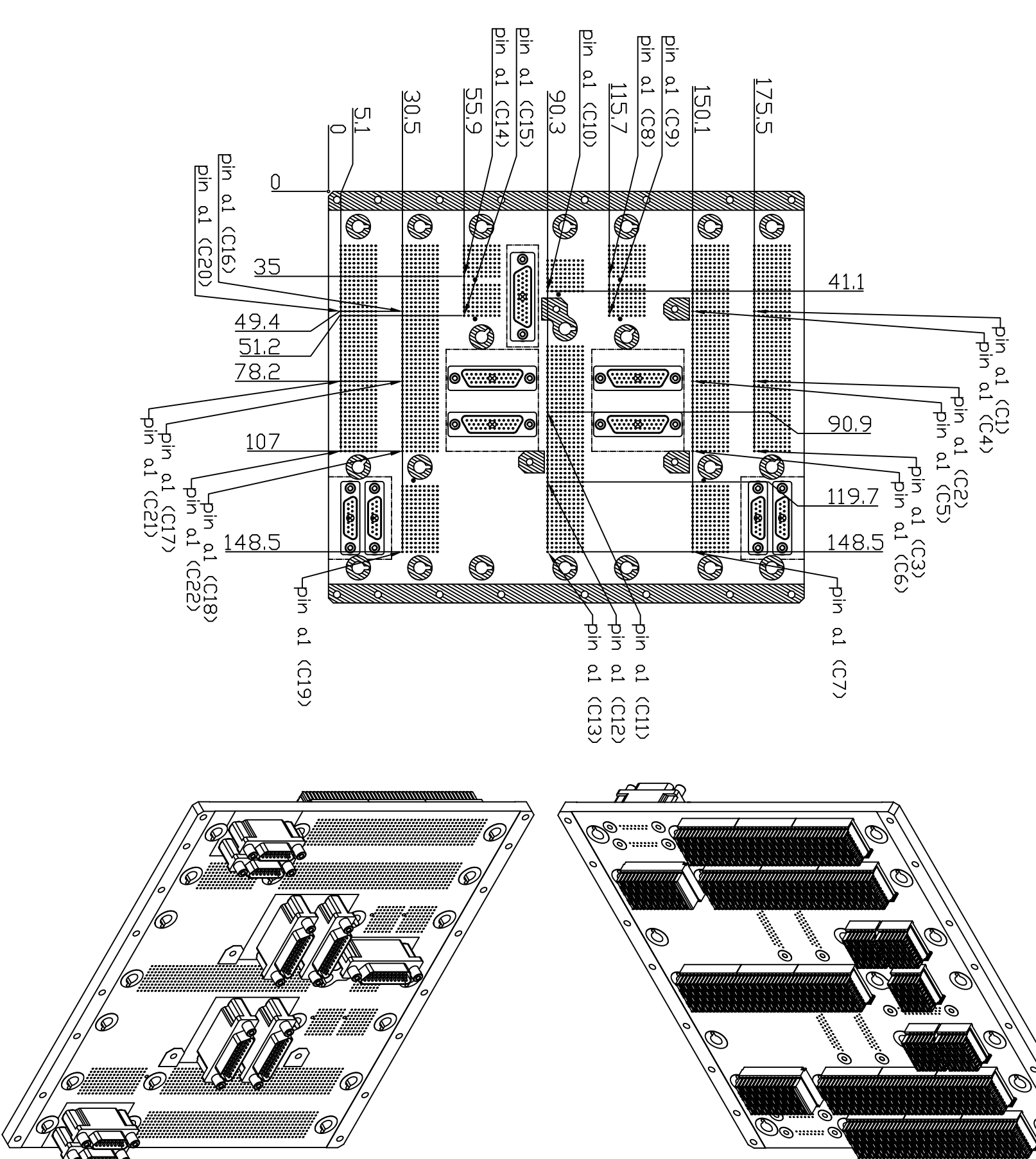


Tabella Connessioni		
CONNETTORE	DESCRIZIONE	DESTINAZIONE
C1	C-1410140-1-D-3D (TE Connectivity)	DPU (Cold): A1
C2	C-1410140-1-D-3D (TE Connectivity)	DPU (Cold): A2
C3	C-1410140-1-D-3D (TE Connectivity)	DPU (Cold): A3
C4	C-1410140-1-D-3D (TE Connectivity)	APU (Cold): A1
C5	C-1410140-1-D-3D (TE Connectivity)	APU (Cold): A2
C6	C-1410140-1-D-3D (TE Connectivity)	APU (Cold): A3
C7	C-1410142-1-D-3D (TE Connectivity)	APU (Cold): A4
C8	C-1410186-1-D-3D (TE Connectivity)	PWR (Cold): A1
C9	C-1410186-1-D-3D (TE Connectivity)	PWR (Cold): A2
C10	C-1410186-1-D-3D (TE Connectivity)	Splitter (Hot/Cold): A1
C11	C-1410140-1-D-3D (TE Connectivity)	Splitter (Hot/Cold): A2
C12	C-1410140-1-D-3D (TE Connectivity)	Splitter (Hot/Cold): A3
C13	C-1410140-1-D-3D (TE Connectivity)	Splitter (Hot/Cold): A4
C14	C-1410186-1-D-3D (TE Connectivity)	PWR (Hot): A1
C15	C-1410186-1-D-3D (TE Connectivity)	PWR (Hot): A2
C16	C-1410140-1-D-3D (TE Connectivity)	APU (Hot): A1
C17	C-1410140-1-D-3D (TE Connectivity)	APU (Hot): A2
C18	C-1410140-1-D-3D (TE Connectivity)	APU (Hot): A3
C19	C-1410142-1-D-3D (TE Connectivity)	APU (Hot): A4
C20	C-1410140-1-D-3D (TE Connectivity)	DPU (Hot): A1
C21	C-1410140-1-D-3D (TE Connectivity)	DPU (Hot): A2
C22	C-1410140-1-D-3D (TE Connectivity)	DPU (Hot): A3
D1	790-043P_D-15_MPB (Glenair Micro-Crimp)	Cavo X01-X04: E1
D2	790-043P_D-15_MPB (Glenair Micro-Crimp)	Cavo X01-X04: E2
D3	790-043P_G-33_MPB (Glenair Micro-Crimp)	Cavo X07: E7
D4	790-043P_G-33_MPB (Glenair Micro-Crimp)	Cavo X06: E6
D5	790-043P_G-33_MPB (Glenair Micro-Crimp)	Cavo X05: E5
D6	790-043P_G-33_MPB (Glenair Micro-Crimp)	Cavo X09: E9
D7	790-043P_G-33_MPB (Glenair Micro-Crimp)	Cavo X08: E8
D8	790-043P_D-15_MPB (Glenair Micro-Crimp)	Cavo X01-X04: E3
D9	790-043P_D-15_MPB (Glenair Micro-Crimp)	Cavo X01-X04: E4

Rev.	ECO	Descrizione modifica Description	Modificato da: Modified by:	Controllato: Checked:	Visto Sicurezza: Security:	Data: Date:
01	-	-	-	-	-	-

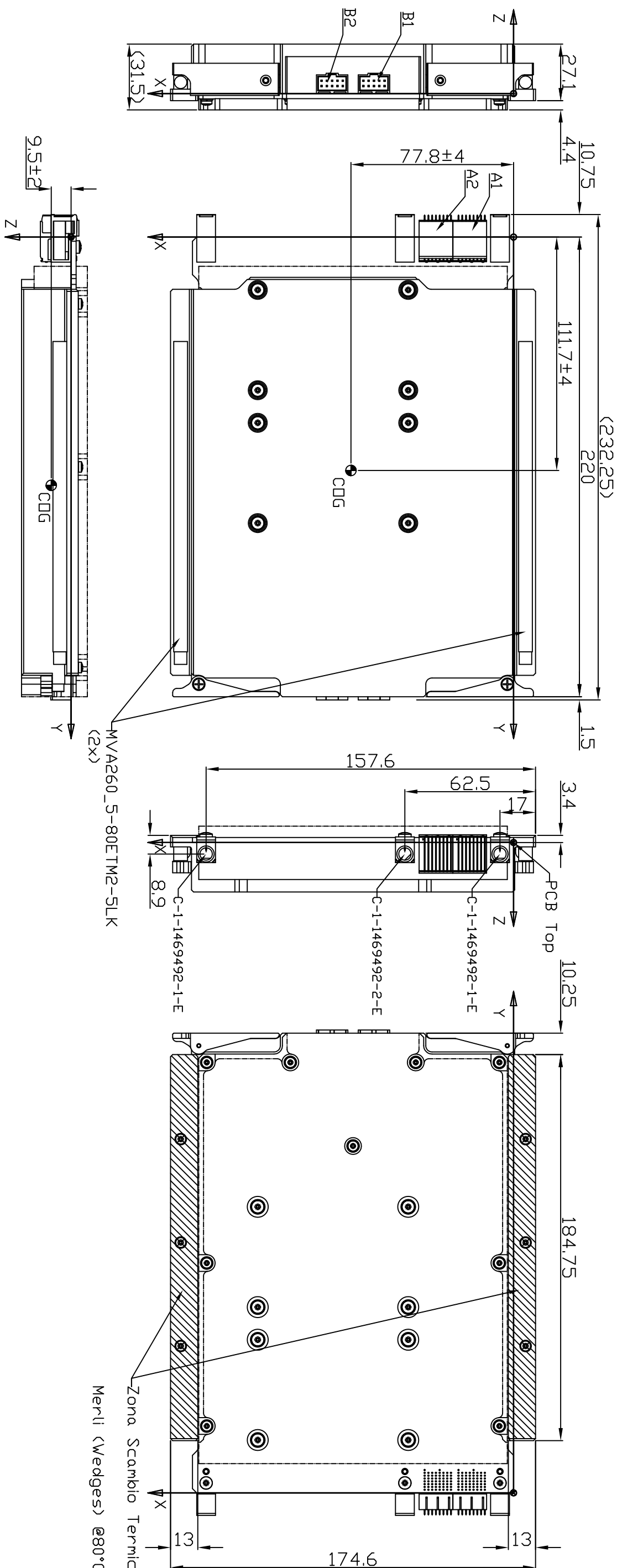
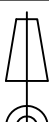
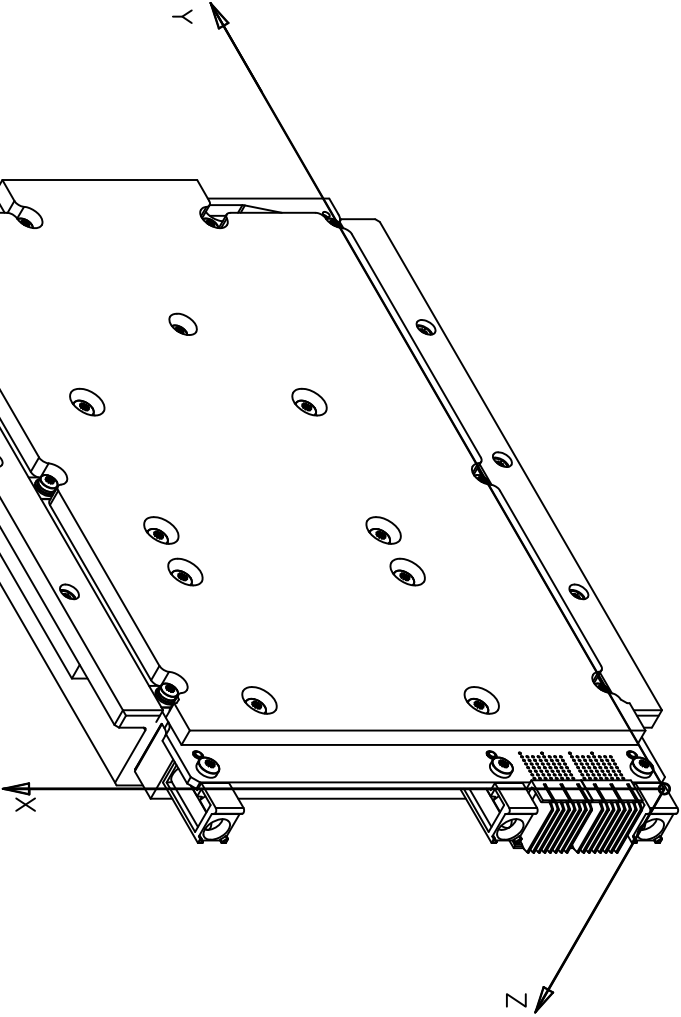
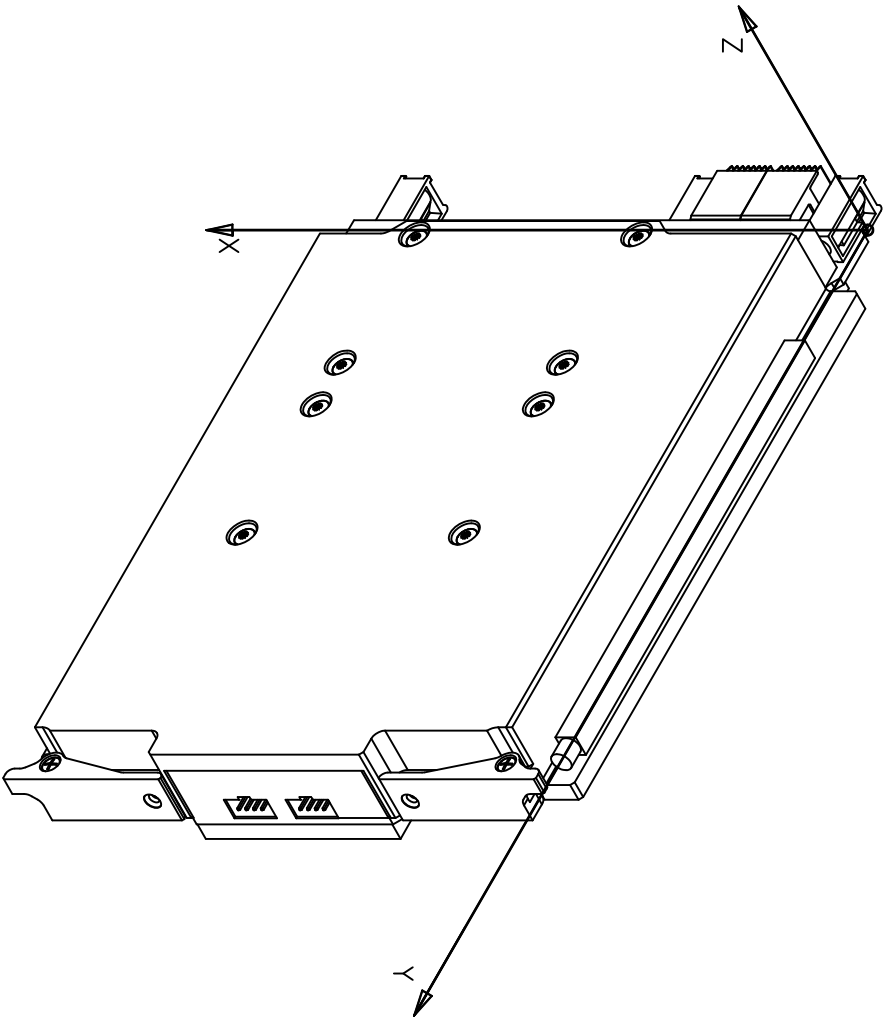
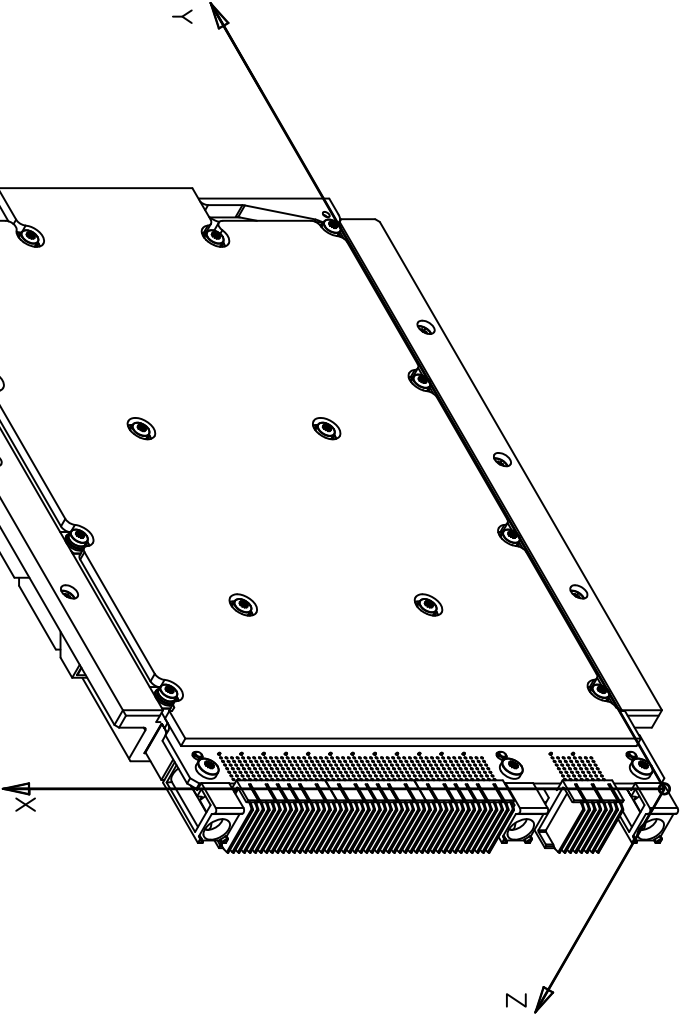
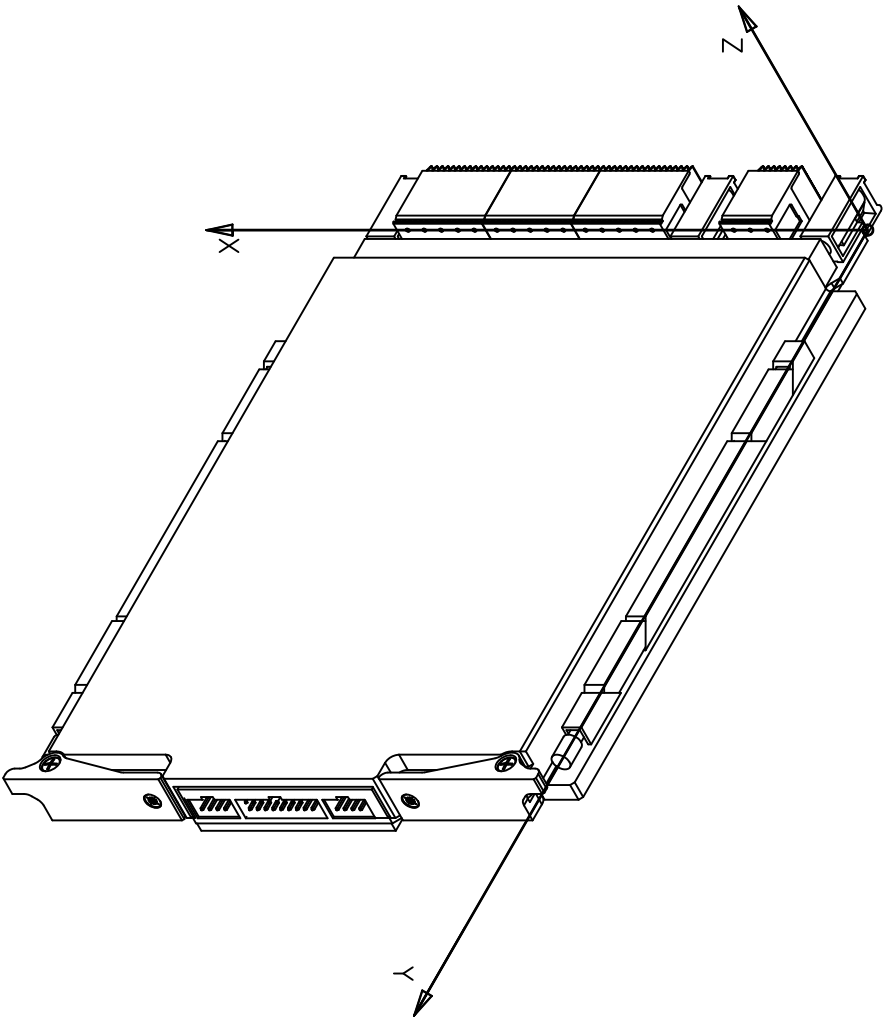


Tabella Connessioni		
CONNETTORE	DESCRIZIONE	DESTINAZIONE
A1	C-1410189-3-D-3D (TE CONNECTIVITY)	Back-Plane: HotC14; ColdC8
A2	C-1410189-3-D-3D (TE CONNECTIVITY)	Back-Plane: HotC15; ColdC9
B1	DEBUG (TBD)	(-)
B2	DEBUG (TBD)	(-)

1 di 2	CC007442-01-AS-01	CC007442-01-DD-01		
Foglio n° Sheet n°	Particolare Model name	Nome file File name		
Descrizione: Description: Modulo EFD-02-Power	SCALA: SCALE: 1/2			
			NATO CAGE	N.A.
			Classifica: Classification:	Non Classificato
			Material: Material:	Treatment: Finish:
-	-	1.750kg		
Disegnato da Drawn by	Controllato Checked	Approvato da Approved by		
Firma - Signature	Firma - Signature	Firma - Signature		
P. Menichetti Data: 15-Gen-2020	C.Ceccarelli Data: 20-Gen-2020	- Data:		
 CAE & Cooling Systems www.cae-and-cooling.it				



Massa Totale: 1.750kg (±10%)			
Posizione Baricentro			
Xcg	77.8 ± 4mm		
Ycg	111.7 ± 4 mm		
Zcg	9.5 ± 2 mm		
Tensore d'inerzia Baricentrico [TONNE * MM ²] (Riferimento COG)			
Jxx: 6.1440e+00	Jxy: 4.055e-03	Jxz: -4.479e-3	
	Jyy: 3.9212e+00	Jyz: -3.081e-02	
		Jzz: 9.778e+00	
Momenti Principali [TONNE * MM ²]			
I ₁	I ₂	I ₃	
3.92108e+00	6.14402e+00	9.7781e+00	
Raggi d'inerzia [mm]			
R ₁	R ₂	R ₃	
-	-	-	



Massa Totale: 0.54kg (±10%)			
Posizione Baricentro			
Xcg	77.0 ± 4mm		
Ycg	119.0 ± 4 mm		
Zcg	8.0 ± 2 mm		
Tensore d'inerzia Baricentrico [TONNE * MM ²] (Riferimento COG)			
Jxx: 2.3096e+00	Jxy: 1.3308e-02	Jxz: -1.017e-4	
	Jyy: 1.8122e+00	Jyz: -5.374e-03	
		Jzz: 4.0863e+00	
Momenti Principali [TONNE * MM ²]			
I ₁	I ₂	I ₃	
1.81185e+00	2.30997e+00	4.08635e+00	
Raggi d'inerzia [mm]			
R ₁	R ₂	R ₃	
-	-	-	

2 di 2	CC007449-01-DD-01		
Formato Sheet n°	Nome file File name		
	SCALA: SCALE:	1/2	Formato: Size: A3
Tipo grafica - Drawing method			

Rev.	ECO	Descrizione modifica Description	Modificato da: Modified by:	Controllato: Checked:	Visito Sicurezza: Security:	Data: Date:
01	-		-	-	-	-
02	N/A	Corretto Refuso In Tabella Connessioni (D-2)	P. Menichetti	C. Ceccarelli	-	09/07/2020

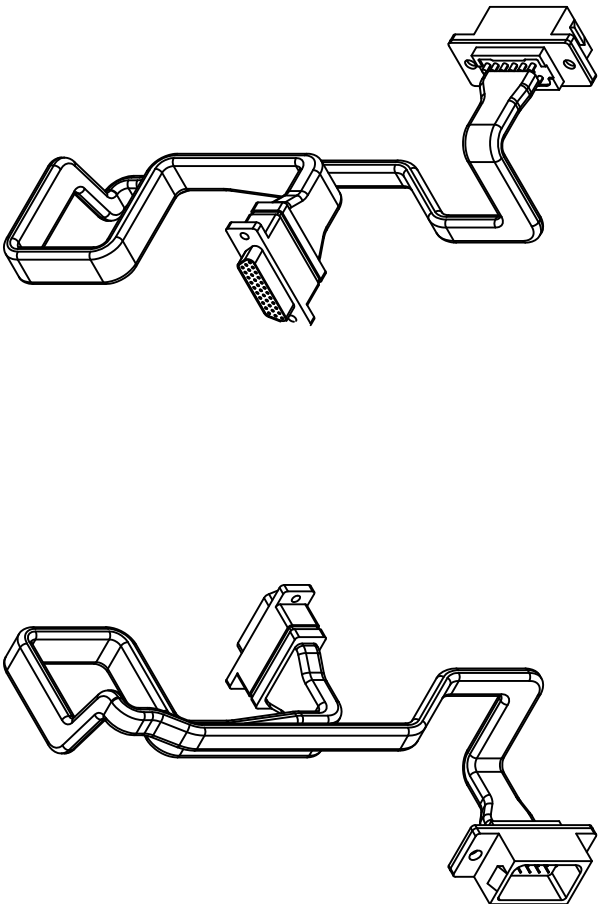
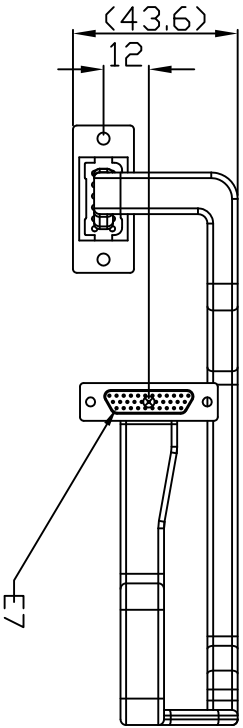
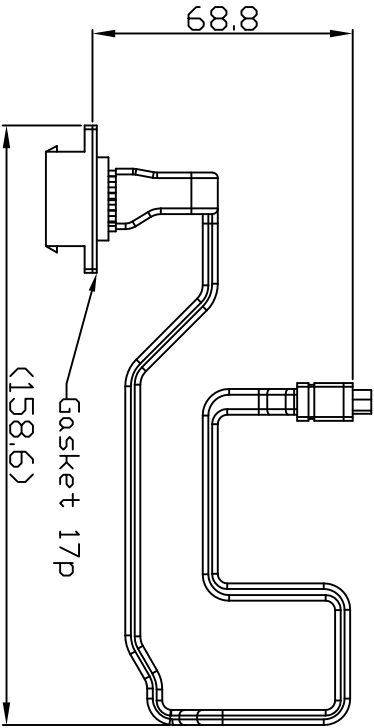
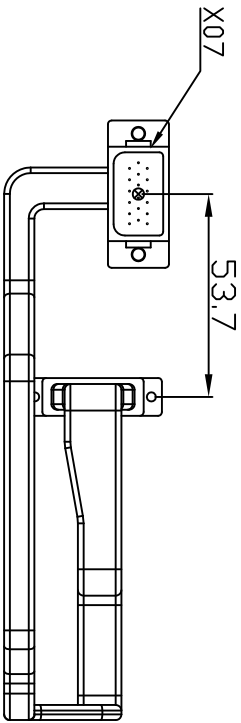


Tabella Connessioni		
CONNETTORE	DESCRIZIONE	DESTINAZIONE
X07	J36W-17ZKB (KAIDA/ANDVAY)	
E7	790-025S_G-33_NML (Glencir Micro-Crimp)	Back-Plane: D3

CC007457-01-HN-01

1 di 1

CC007457-01-DD-02

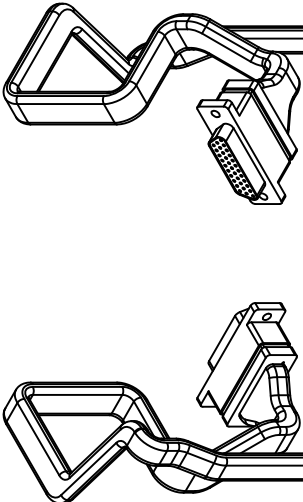
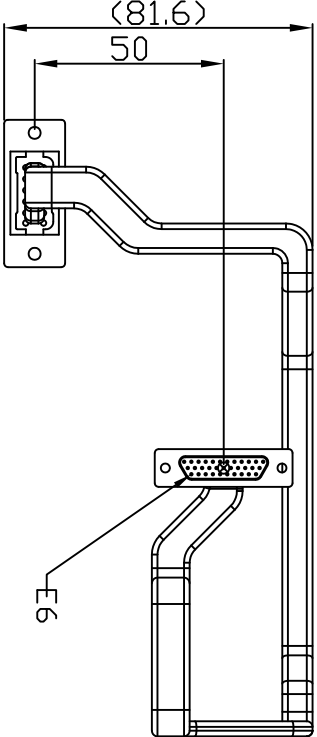
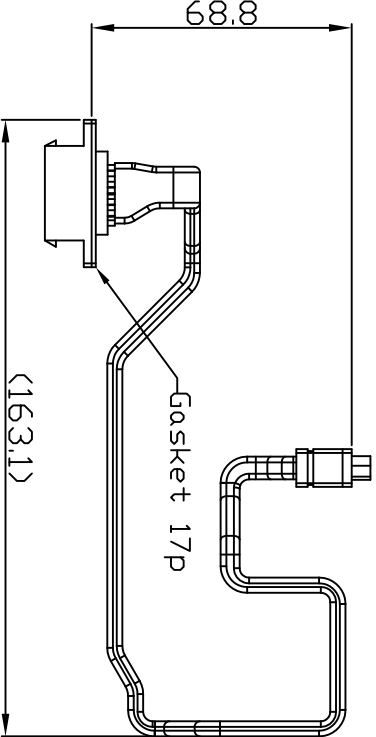
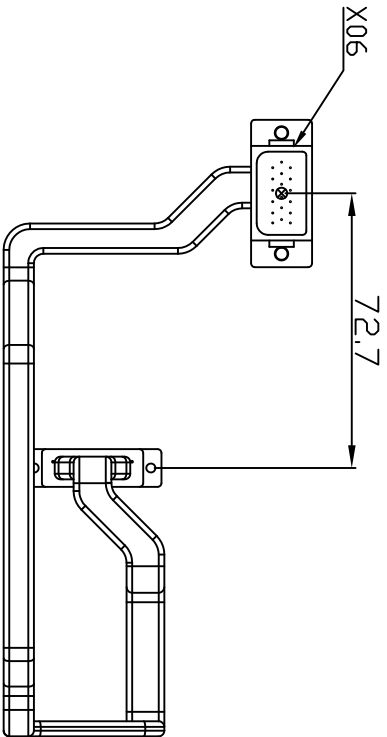
Particolare Model name	Nome file File name		
---------------------------	------------------------	--	--

Descrizione: Description: Assieme Cavo-X07	SCALA: SCALE:		1/2
	NATO CAGE	N.A.	

Descrizione: Description: Assieme Cavo-X07	Formato: Size:	A3
Materiale: Material:	Treatamenti: Finish:	Classifica: Classification:
-	-	Non Classificato
Disegnato da Drawn by	Controllato Checked	Approvato da Approved by
Firma - Signature	Firma - Signature	Firma - Signature

P. Menichetti Data: 15-Gen-2020	C. Ceccarelli Data: 20-Gen-2020	- Data:
A termini di legge ci riserviamo la proprietà di questo disegno con diritto di riprodotto o di renderlo noto a terzi senza la nostra autorizzazione. Copyright - all rights reserved. This document and the information contained herein may not be copied, used or disclosed in whole or in part except with prior written permission.		

Rev.	ECO	Descrizione modifica Description	Modificato da: Modified by:	Controllato: Checked:	Visito Sicurezza: Security:	Data: Date:
01	-		-	-	-	-
02	N/A	Corretto Refuso In Tabella Connessioni (D-2)	P. Menichetti	C. Ceccarelli	-	09/07/2020



D

Tabella Connessioni		
CONNETTORE	DESCRIZIONE	DESTINAZIONE
X06	J36W-17ZKB (KAIDA/ANDVAY)	
E6	790-025S-G-33_NML (Glencir Micro-Crimp)	Back-Plane: D4

C

B

A

1 di 1	CC007456-01-HN-01	CC007456-01-DD-02
--------	-------------------	-------------------

Particolare Model name		Nome file File name	
Descrizione: Description: Assieme Cavo-X06		SCALA: SCALE: 1/2	
Materiale: Material:	Treatments: Finish:	Classifica: Classification:	Massa: Weight:
-	-	Non Classificato	0.085kg
Disegnato da Drawn by	Controllato Checked	Approvato da Approved by	A termini di legge ci riserviamo la proprietà di questo disegno con diritto di riproduzione o di renditelo noto a terzi senza la nostra autorizzazione. Copyright - all rights reserved. This document and the information contained herein may not be copied, used or disclosed in whole or in part except with prior written permission. CAE & Cooling Systems www.cae-and-cooling.it
Firma - Signature	Firma - Signature	Firma - Signature	
P. Menichetti Data: 15-Gen-2020	C. Ceccarelli Data: 20-Gen-2020	- Data:	

D

C

B

A

Appendice B

Nell'appendice sono riportate le descrizioni e i datasheet di fusibili, filtri EMI e DC/DC converter:

**FUSIBILI
PROTEZIONI
DC/DC CONVERTER
& FILTRO EMI**

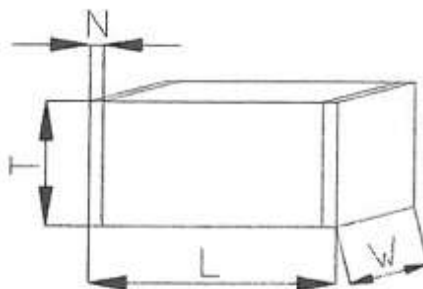
- 1) Fusibile . Si monteranno due fusibili , uno all'ingresso del DC/DC Main e uno all'ingresso del DC/DC Spare .
Al momento si valuta conveniente adottare un coefficiente di sicurezza " 3" tra il valore di corrente nominale e quella dell'intervento del fusibile.
Il fusibile essendo qualificato Spazio (CINESI acquisto ½ INFN) tiene già conto dei fattori ambientali .
EFD-02 assorbe 48W per cui a 29,5V 1,63A ne consegue un fusibile da 5A.
Valore OK , usato anche da INFN.
In realtà saremmo un po meno sicuri se la tensione 29,5V scendesse a 17V .
La corrente in ingresso salirebbe a 2,82A e il margine sul valore del fusibile sarebbe meno di 2 . Questa però è una condizione limite .
Da valutare in fase di progetto esecutivo.
- 2) Al momento non si prevede un circuito di blocco per sotto o sovratensione sulla linea di alimentazione a 29,5V , ma il tutto deve essere rivisto in fase di progetto esecutivo.
Senza il circuito di sotto o sovratensione sulla linea, per la sotto tensione ci si affiderà al circuito di blocco a 17V circa (20V nominali) presente sull'ingresso del DC/DC .
Per la sovra tensione si conta che la tensione 29,5V non superi mai i 50V (60V massimi) sopportabili dal DC/DC.
- 3) Si monterà un solo filtro EMI in posizione paritetica per le due sezioni Main e Spare .
Questo renderà più efficiente l'azione del filtro EMI .
È in valutazione la possibilità di fissare il filtro EMI sul fondo nel vano dei cablaggi presente nella parte posteriore di EFD-02 .
Questa soluzione oltre a ridurre di circa 2,1 W la dissipazione sulla scheda POWER il filtro posto lì subito all'ingresso della 29,5V , consente di "pulire" l'alimentazione subito come entra/ esce da EFD-02.
Anche nel data-sheet del filtro , viene consigliato di metterlo addirittura proprio a cross della parete tra il mondo interno e quello esterno .
Sarebbe ideale porre assieme al filtro EMI anche i ricevitori (OPTO-ISOLATORI) che ricevono i comandi TC e che essendo sul circuito diretto di POWER , con i loro fili di collegamento che saranno sporchi potrebbero essere fonte di disturbi .
Va valutato se lo spazio lo permette.
- 4) In ingresso ai DC/DC converter si prevede vengano messi due condensatori al tantalio qualificati spazio da 220micro .(Altri progetti simili)
Anche sull'uscita dei DC/DC converter si metteranno dei condensatori elettrolitici al tantalio qualificati spazio .
L'uso di questi condensatori con in parallelo diversi altri condensatori ceramici se da un lato si rende circuitualmente necessario , dovrà essere valutato in sede di progetto esecutivo come impatto sull'inrush-current e diminuzione di affidabilità .

FUSES, 0.14 TO 3.5 AMPS BASED ON TYPE JFM-3216/F

■ GENERAL SPECIFICATION

GJB5850-2006 《General specification for miniature fuses》

■ PHYSICAL DIMENSIONS



Type	Dimensions (mm)			
	L	W	T	N
JFM-3216/F	3.20±0.20	1.60±0.20	1.60±0.20	0.50±0.20

■ Component Type Variants and Range of Components

Table1 Electrical parameters of fuses

Model Specification	DC Rated Voltage (V)	Rated Current I_n at $T_{amb}=+23^{\circ}C$ (Note 1) (A)	Identifica tion Code	Cold Resistance (mΩ)		Voltage Drop at Nominal Current (Note 2) (mV)		Weight Max (g)
				Min	Max	Min	Max	
JFM-3216/F-125V-0.14A	125	0.14	01	2700	3700	621	851	0.045
JFM-3216/F-125V-0.175A	125	0.175	02	1800	2600	517	748	0.045
JFM-3216/F-125V-0.262A	125	0.262	03	800	1500	345	647	0.045
JFM-3216/F-125V-0.35A	125	0.35	4	345.0	510.0	190	290	0.045
JFM-3216/F-125V-0.525A	125	0.525	05	150	300	129	259	0.045
JFM-3216/F-125V-0.7A	125	0.7	6	83.9	148.0	99	165	0.045
JFM-3216/F-125V-1.05A	125	1.05	7	47.6	88.0	84	155	0.045
JFM-3216/F-125V-1.4A	125	1.4	8	33.1	64.0	78	155	0.045
JFM-3216/F-125V-2.1A	125	2.1	10	20.4	34.7	70	125	0.045
JFM-3216/F-125V-2.8A	125	2.8	11	14.4	25.8	67	128	0.045
JFM-3216/F-125V-3.5A	125	3.5	12	11.4	19.9	70	128	0.045

NOTES:

1. The Rated Current I_n is the maximum continuous current a fuse is capable of carrying without blowing.
2. Nominal Current = 143% Rated Current and is the maximum current a fuse is capable of carrying for 4 hours minimum without blowing.



Table 2 357% In Overload current conditions and pre-arcing times

Model Specification	Pre-arcing Time (ms)				Maximum Current Clearing I^2t (A ² S)			
	Standard Range (-55°C~125°C)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)	Standard Value (max)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)
JFM-3216/F-125V-0.14A	2~5000	1050	100	24	1.25	0.263	0.025	0.006
JFM-3216/F-125V-0.175A	2~5000	1150	110	32	1.95	0.719	0.069	0.02
JFM-3216/F-125V-0.262A	2~5000	860	80	28	4.395	0.756	0.070	0.025
JFM-3216/F-125V-0.35A	2~5000	1000	110	35	7.813	1.563	0.172	0.055
JFM-3216/F-125V-0.525A	2~5000	950	90	24	17.578	3.340	0.316	0.084
JFM-3216/F-125V-0.7A	2~5000	1500	200	40	31.250	9.375	1.250	0.250
JFM-3216/F-125V-1.05A	2~5000	1000	100	20	70.313	14.063	1.406	0.281
JFM-3216/F-125V-1.4A	2~5000	800	110	25	125.000	20.000	2.750	0.625
JFM-3216/F-125V-2.1A	2~5000	700	160	30	281.250	39.375	9.000	1.688
JFM-3216/F-125V-2.8A	2~5000	850	200	50	500.000	85.000	20.000	5.000
JFM-3216/F-125V-3.5A	2~5000	900	300	130	781.250	140.625	46.875	20.313

Table 3 571% In Overload current conditions and pre-arcing times

Model Specification	Pre-arcing Time (ms)				Maximum Current Clearing I^2t (A ² S)			
	Standard Range (-55°C~125°C)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)	Standard Value (max)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)
JFM-3216/F-125V-0.14A	0.5~10	3.6	3.0	2.0	0.0064	0.0023	0.0019	0.0013
JFM-3216/F-125V-0.175A	0.5~10	3.9	3.0	2.2	0.01	0.0039	0.003	0.0022
JFM-3216/F-125V-0.262A	0.5~10	3.7	3.0	2.1	0.0225	0.0083	0.0068	0.0047
JFM-3216/F-125V-0.35A	0.5~10	3.4	2.0	1.0	0.04	0.014	0.0080	0.0040
JFM-3216/F-125V-0.525A	0.5~10	3.6	2.4	1.7	0.09	0.0324	0.0216	0.0153
JFM-3216/F-125V-0.7A	0.5~10	2.7	2.0	1.0	0.16	0.043	0.0320	0.0160
JFM-3216/F-125V-1.05A	0.5~10	2.3	1.8	1.0	0.36	0.083	0.0648	0.0360
JFM-3216/F-125V-1.4A	0.5~10	3.8	2.0	1.3	0.64	0.243	0.1280	0.0832
JFM-3216/F-125V-2.1A	0.5~10	3.2	2.5	1.5	1.44	0.461	0.3600	0.2160
JFM-3216/F-125V-2.8A	0.5~10	2.1	1.6	1.0	2.56	0.538	0.4096	0.2560
JFM-3216/F-125V-3.5A	0.5~10	3.4	2.5	1.5	4.00	1.360	1.0000	0.6000

Table 4 857% In Overload current conditions and pre-arcing times

Model Specification	Pre-arcing Time (ms)				Maximum Current Clearing I^2t (A ² S)			
	Standard Range (-55°C~125°C)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)	Standard Value (max)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)
JFM-3216/F-125V-0.14A	0.05~2	0.82	0.62	0.45	0.0029	0.0012	0.0009	0.0006
JFM-3216/F-125V-0.175A	0.05~2	0.61	0.50	0.31	0.0045	0.0014	0.0011	0.0007



JFM-3216/F-125V-0.262A	0.05 ~ 2	0.75	0.60	0.42	0.0101	0.0038	0.0031	0.0021
JFM-3216/F-125V-0.35A	0.05 ~ 2	0.50	0.35	0.19	0.018	0.0045	0.0032	0.0017
JFM-3216/F-125V-0.525A	0.05 ~ 2	0.63	0.49	0.32	0.041	0.0128	0.0099	0.0065
JFM-3216/F-125V-0.7A	0.05 ~ 2	0.56	0.40	0.30	0.072	0.0202	0.0144	0.0108
JFM-3216/F-125V-1.05A	0.05 ~ 2	0.55	0.45	0.24	0.162	0.0446	0.0365	0.0194
JFM-3216/F-125V-1.4A	0.05 ~ 2	0.70	0.50	0.35	0.288	0.1008	0.0720	0.0504
JFM-3216/F-125V-2.1A	0.05 ~ 2	0.55	0.50	0.40	0.648	0.1782	0.1620	0.1296
JFM-3216/F-125V-2.8A	0.05 ~ 2	0.36	0.32	0.26	1.152	0.2074	0.1843	0.1498
JFM-3216/F-125V-3.5A	0.05 ~ 2	0.45	0.40	0.30	1.800	0.4050	0.3600	0.2700

Table 5 DC Interrupt Current

Rated Current	DC Interrupt Current	Insulation Resistance
0.14A ~ 2.1A	300A@125VDC	≥1MΩ
2.8A ~ 3.5A	50A@125VDC 300A@110VDC	

■ PARAMETER DERATING INFORMATION

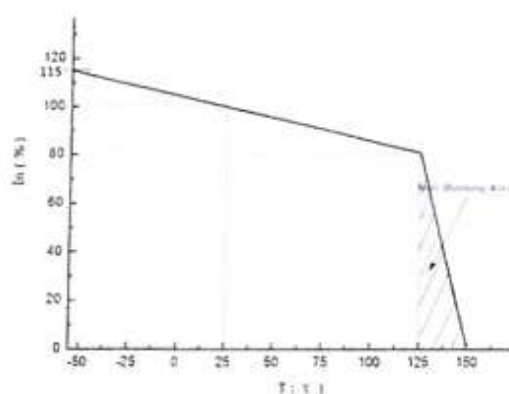


Figure 1 Maximum Continuous Current vs. Operating Temperature

■ Fusing Property Curve

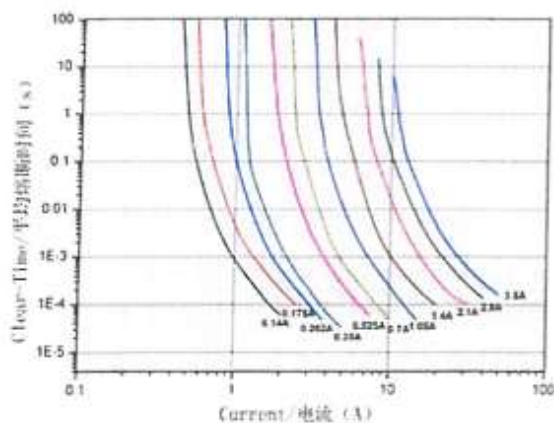


Figure 2-1 I-t

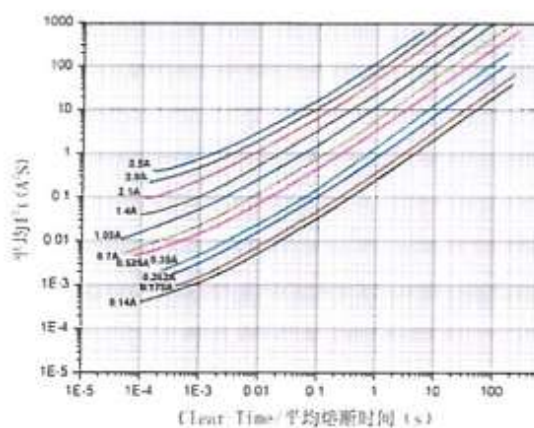


Figure 2-2 I²t



■ Other Properties

Characteristics	Standard Value	Remarks
Insulation Resistance	$\geq 1\text{M}\Omega$	GJB360B Method 302, 125V_{DC}
Thermal Vacuum	$\Delta R \leq \pm 10\%$	$P \leq 6.6 \times 10^{-3}\text{Pa}$, $(125 \pm 3)^\circ\text{C}$, $90\%\text{In}$, 48h
Rapid Change of Temperature	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 10\%$ (Note 1)	GJB360B Method 107, B-1, $T_A = -55^\circ\text{C}$, $T_B = +150^\circ\text{C}$, 25 Cycles
Humidity Resistance	$\Delta R \leq \pm 15\%; \Delta V \leq \pm 15\%$	GJB360B Method 106, 100V_{DC}
Salt Fog	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 10\%$	GJB360B Method 101, B(48h)
Robustness of Terminations	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 10\%$	GB 9364.4-2006, Bending Depth $1^{+0.5}_{-0}\text{mm}$
Shock	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 10\%$	GJB360B Method 213, F
High Frequency Vibration	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 10\%$	GJB360B Method 204, G
Random Vibration	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 10\%$	GJB360B Method 214, I, G
Operating Life	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 15\%$	125°C , $95\%\text{In}$, 2000h
Resistance to Soldering Heat	$\Delta R \leq \pm 10\%$	GJB360B Method 210, J
Solderability	Above 95% Cover	GJB360B Method 208, Welding Groove Method
Hot Vacuum Moisture	$\text{TML} \leq 1.0\%$ $\text{CVCM} \leq 0.1\%$	GJB 5850-2006
Operating Temperature Range	$-55^\circ\text{C} \sim 125^\circ\text{C}$	-----
Storage Temperature Range	$-55^\circ\text{C} \sim 150^\circ\text{C}$	-----

Note 1: ΔR : The Change Rate of Cold Resistance, ΔV : The Change Rate of Voltage Drop.

■ Localization Of Production

JFM-3216/F Of Yunke	MGA-S of Schurter
JFM-3216/F-125V-0.14A	MGA-S-125-0.14
JFM-3216/F-125V-0.175A	MGA-S-125-0.175
JFM-3216/F-125V-0.262A	MGA-S-125-0.262
JFM-3216/F-125V-0.35A	MGA-S-125-0.35



JFM-3216/F-125V-0.525A	MGA-S-125-0.525
JFM-3216/F-125V-0.7A	MGA-S-125-0.7
JFM-3216/F-125V-1.05A	MGA-S-125-1.05
JFM-3216/F-125V-1.4A	MGA-S-125-1.4
JFM-3216/F-125V-2.1A	MGA-S-125-2.1
JFM-3216/F-125V-2.8A	MGA-S-125-2.8
JFM-3216/F-125V-3.5A	MGA-S-125-3.5

■ Order Form

JFM – 3216 / F – 125V – 0.7A – B

JFM: Principal Designation Code

3216: Design Serial Number

F: Nominal Fuse

125V: DC Rated Voltage

0.7A: Rated Current, 0.14 To 3.5 Amps

B: Packaging Form, Including B (Bag Packing)、T (Tape Packing) and W (Box Packing)

For Example: JFM-3216/F-125V-0.7A-T

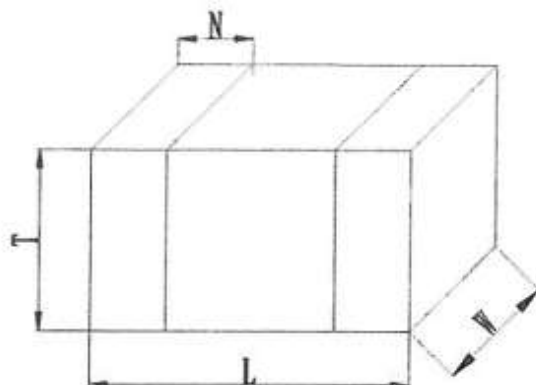


FUSES, 5 TO 15 AMPS BASED ON TYPE MF8050

■ GENERAL SPECIFICATION

GJB5850-2006 《General specification for miniature fuses》

■ PHYSICAL DIMENSIONS



Type	Dimensions (mm)			
	L	W	T	N
MF8050	8.05 ± 0.15	5.0 ± 0.10	5.0 ± 0.10	2.1 ± 0.10

■ Component Type Variants and Range of Components

Table1 Electrical parameters of fuses

Model Specification	DC Rated Voltage (V)	Rated Current I_n at $T_{amb} = +23^\circ\text{C}$ (Note 1) (A)	Identifica tion Code	Cold Resistance (m Ω)		Voltage Drop at Nominal Current (Note 2) (mV)		Weight Max (g)
				Min	Max	Min	Max	
MF8050-FF-125-5.0	125	5	24	12.4	35.0	70	280	0.9
MF8050-FF-125-7.5	125	7.5	26	8.6	25.0	75	280	0.9
MF8050-FF-125-10.0	125	10	28	7.5	15.3	75	230	0.9
MF8050-FF-125-15.0	125	15	32	3.9	13.0	75	250	0.9

NOTES:

1. The Rated Current I_n is the maximum continuous current a fuse is capable of carrying without blowing.
2. Nominal Current = 100% Rated Current and is the maximum current a fuse is capable of carrying for 4 hours minimum without blowing.



Table 2 250% In Overload current conditions and pre-arcing times

Model Specification	Pre-arcing Time (ms)				Maximum Current Clearing $I^2t(A^2S)$			
	Standard Range (-55°C~125°C)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)	Standard Value (max)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)
MF8050-FF-125-5.0	5~5000	3190	1200	680	781.25	498.43	187.5	106.25
MF8050-FF-125-7.5	5~5000	2170	1400	680	1757.81	762.89	492.19	239.06
MF8050-FF-125-10.0	5~5000	1500	980	690	3125	937.5	612.5	431.25
MF8050-FF-125-15.0	5~5000	1500	960	640	7031.25	2109.38	1350	900

Table 3 400% In Overload current conditions and pre-arcing times

Model Specification	Pre-arcing Time (ms)				Maximum Current Clearing $I^2t(A^2S)$			
	Standard Range (-55°C~125°C)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)	Standard Value (max)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)
MF8050-FF-125-5.0	2~50	16	12	7	200	64	48	28
MF8050-FF-125-7.5	2~50	18.5	12	7	450	166.5	108	63
MF8050-FF-125-10.0	2~50	36	16.8	12	800	617.6	268.8	192
MF8050-FF-125-15.0	2~50	46	30.8	19.4	1800	1728	1108.8	698.4

Table 4 600% In Overload current conditions and pre-arcing times

Model Specification	Pre-arcing Time (ms)				Maximum Current Clearing $I^2t(A^2S)$			
	Standard Range (-55°C~125°C)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)	Standard Value (max)	Typical Value (-55°C)	Typical Value (25°C)	Typical Value (125°C)
MF8050-FF-125-5.0	1~10	3.2	2.6	1.56	9	2.88	2.34	1.404
MF8050-FF-125-7.5	1~10	3.2	2.6	1.6	20.25	6.48	5.265	3.24
MF8050-FF-125-10.0	1~10	3.12	2.5	1.7	36	11.232	9	6.12
MF8050-FF-125-15.0	1~10	6.5	4.2	2.9	81	52.65	34.02	23.49

Table 5 DC Interrupt Current

Rated Current	DC Interrupt Current	Insulation Resistance
5A~15A	1000A@125VDC	≥1MΩ



■ PARAMETER DERATING INFORMATION

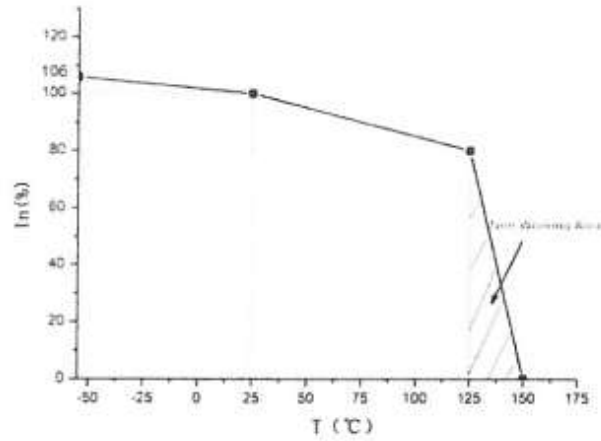


Figure 1 Maximum Continuous Current vs. Operating Temperature

■ Fusing Property Curve

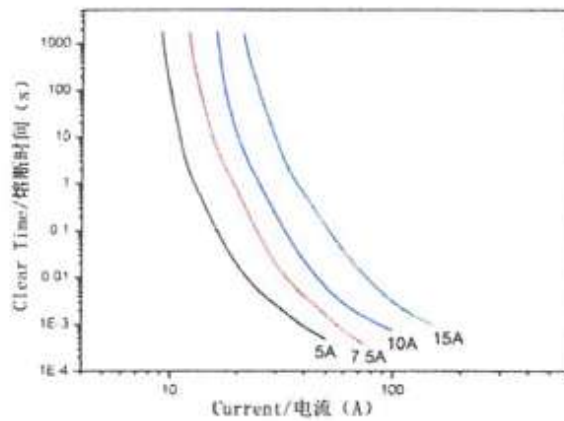


Figure 2- 1 I-t

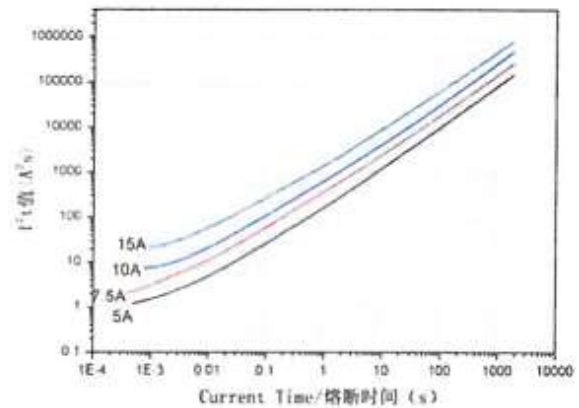


Figure 2- 2 $t-I^2$

■ Other Properties

Characteristics	Standard Value	Remarks
Insulation Resistance	$\geq 1\text{M}\Omega$	GJB360B Method 302, 125V _{DC}
Thermal Vacuum	$\Delta R \leq \pm 10\%$	$P \leq 6.6 \times 10^{-3} \text{Pa}$, $(125 \pm 3)^\circ\text{C}$, 90%In, 48h
Rapid Change of Temperature	$\Delta R \leq \pm 10\%$; $\Delta V \leq \pm 10\%$ (Note 1)	GJB360B Method 107, B, $T_A = -65^{+5}_0^\circ\text{C}$, $T_B = +125^{+5}_0^\circ\text{C}$, 5 Cycles
Humidity Resistance	$\Delta R \leq \pm 15\%$; $\Delta V \leq \pm 15\%$	GJB360B Method 106, 100V _{DC}
Salt Fog	$\Delta R \leq \pm 10\%$	GJB360B Method 101, B(48h)



Characteristics	Standard Value	Remarks
Robustness of Terminations	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 10\%$	GB 9364.4-2006, Bending Depth $1^{-0.5}_{0} \text{mm}$
Shock	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 10\%$	GJB360B Method 213, F
High Frequency Vibration	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 10\%$	GJB360B Method 204, G
Random Vibration	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 10\%$	GJB360B Method 214, I, G
Operating Life	$\Delta R \leq \pm 10\%; \Delta V \leq \pm 15\%$	125°C, 80%In, 2000h
Resistance to Soldering Heat	$\Delta R \leq \pm 10\%$	GJB360B Method 210, J
Solderability	Above 95% Cover	GJB360B Method 208, Welding Groove Method
Hot Vacuum Moisture	TML $\leq$ 1.0%; CVC $\leq$ 0.1%	GJB 5850-2006
Operating Temperature Range	-55°C ~ 125°C	-----
Storage Temperature Range	-55°C ~ 150°C	-----

Note 1: ΔR : The Change Rate of Cold Resistance, ΔV : The Change Rate of Voltage Drop.

■ Localization Of Production

JFM-3216/F Of Yunke	MGA-S of Schurter
MF8050-FF-125-5.0	HCSF-125-5.0
MF8050-FF-125-7.5	HCSF-125-7.5
MF8050-FF-125-10.0	HCSF-125-10.0
MF8050-FF-125-15.0	HCSF-125-15.0

■ Order Form

MF8050 – FF – 125 – 5.0 – B

MF8050: Type

FF: Festures, Fast Fuse

125V: DC Rated Voltage

5.0A: Rated Current, 5.0 To 15 Amps

B: Packaging Form, Including B (Bag Packing), T (Tape Packing) and W (Box Packing)

For Example: MF8050-FF-125-10-T



Instruction Manual for 20V-50V Input EMI Filter

1. Overview

HFMSA/ (20-50) -461-40, HFMH/ (20-50) -461-75, HFMC/ (20-50) -461-135, HFME/ (20-50) Model -461-500 EMI filter is designed for medium and low voltage 20V-50V input DC/DC converter. Its main function is to reduce the input ripple current of input DC/DC converter, so as to reduce the electromagnetic interference of power converter and meet the detection requirements of GJB151A-CE102. Each EMI filter can be used in series with a single DC/DC converter or in series with a multiplexed DC/DC converter, but the total current of the filter is less than its rated current.

The four EMI filter models are shown in Table 1:

Table 128/42V Input EMI Filter

Product Name	INPUT VOLTAGE	Output Current	Shell	Product Standard
HFMSA/ (20-50) -461-40	20V ~ 50V, nominal 28V, 42V	0.8A	UPP2520	Q/HW 32662-2016
HFMH/ (20-50) -461-75	20V ~ 50V, nominal 28V, 42V	1.5A	UPP3728	Q/HW 32663-2016
HFMC/ (20-50) -461-135	20V ~ 50V, nominal 28V, 42V	2.7A	UPP5328	Q/HW 32664-2016
HFME/ (20-50) -461-500	20V ~ 50V, nominal 28V, 42V	10A	FPP6438	Q/HW 32665-2016

1.1 Main features

- Working temperature (TC): -55 ℃ ~ +125 ℃;
- Input DC voltage range: 20 V ~ 50 V, nominal value 28 V and 42 V;
- Circuit structure: common-mode filter circuit, difference-mode filter circuit;
- MTBF: $\geq 6 \times 10^6$ H;
- Quality Grade: CAST C.



HFMSA/ (20-50) -461-40 EMI Filter

Weight: not more than 20g;

External dimension: 25.14 × 20.66 × 6.86 mm³;



HFMH/ (20-50) -461-75 EMI Filter

Weight: not more than 45g;

External dimension: 51.00 × 28.94 × 8.38 mm³;



HFMC/ (20-50) -461-135 EMI Filter

Weight: not more than 60g;

Dimension: 73.91x28.69x10.16mm³;



HFME/ (20-50) -461-500 EMI Filter

Weight: not more than 95g;

External dimension: 76.70x38.60x10.16 mm³;

1.2 Scope of application

Space system, military communication system, satellite, manned space engineering, etc.

1.3 Conditions of use of products

1.3.1 Absolute maximum rating

- Output power: HFMSA/ (20-50) -461-40 40W (output current not more than 0.8A);
HFMH/ (20-50) -461-75 75W (current not more than 1.5A);
HFMC/ (20-50) -461-135 135W (output current not more than 2.7A);
HFME/ (20-50) -461-500 500W (output current not more than 10A);
- Input voltage: 0V ~ 60V;

- Storage temperature range: -65 °C ~ 150 °C;
- Welding resistance temperature of lead wire: 300 °C (10 s).

NOTE: You cannot apply two or more absolute maximum rating conditions to a device at the same time.

1.3.2 Recommended working conditions

- Input voltage: 20V ~ 50V;
- Working temperature range (TC): -55 °C ~ 125 °C;
- Output current: HFMSA/ (20-50) -461-40 EMI filter: 0.8A;
HFMH/ (20-50) -461-75 EMI Filter: 1.5A;
HFMC/ (20-50) -461-135 EMI Filter: 2.7A;
HFME/ (20-50) -461-500 EMI filter: 10A.

1.4 Logo and name

1.4.1 Product marking

- The marking shall be in accordance with 3.16 of Q/QJA 20085-2012 and the Product Detail Specification.
- Device identification number;
- Locating point;
- Batch identification code or date code;
- The name or trademark of the contractor;
- Serial number;
- Electrostatic discharge sensitivity (ESDS) identification number.

The device identification number is as follows, YC products are marked "CC" according to the order requirements of the Fifth Academy.

HFMSA/ (20-50) -461-40 M/C

Device type, package form, lead coating

In addition, each device shall be marked with a unique sequential given serial number and shall be marked with an identification code capable of identifying the sealing cycle, and an equilateral triangle (Δ) may be used as a mark of the electrostatic sensitive device and may also be used as an identification mark of the first leading end, and the ESDS identification mark shall be in accordance with the provisions of Q/QJA 20085-2012.

The logo schematic is shown in 1.

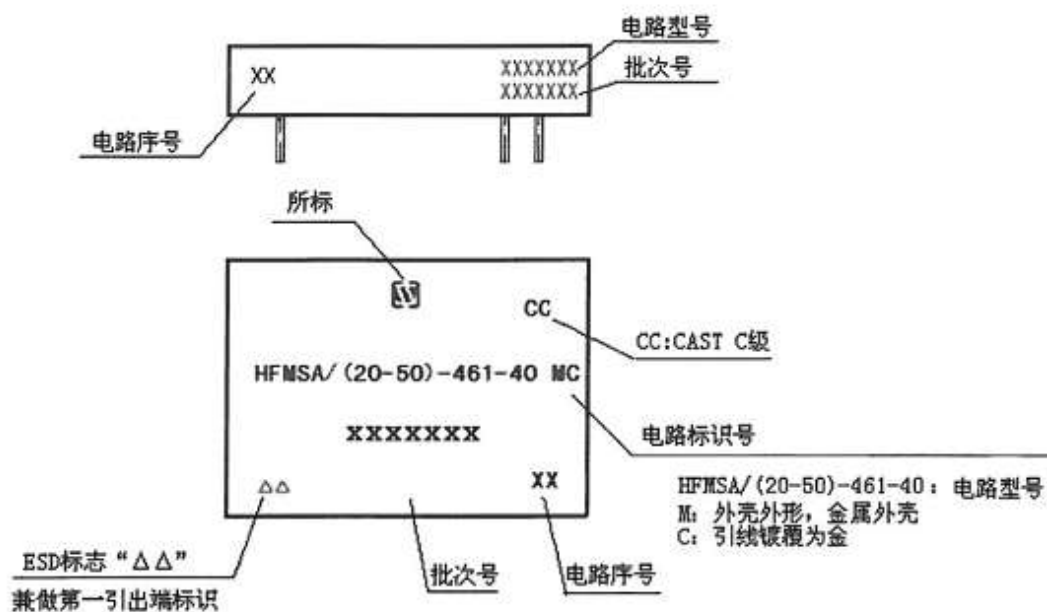


Fig. 1 Schematic diagram of HFMSA/ (20-50) -461-40 EMI filter flag

1.4.2 Product name

The four EMI filter names are schematically shown below:

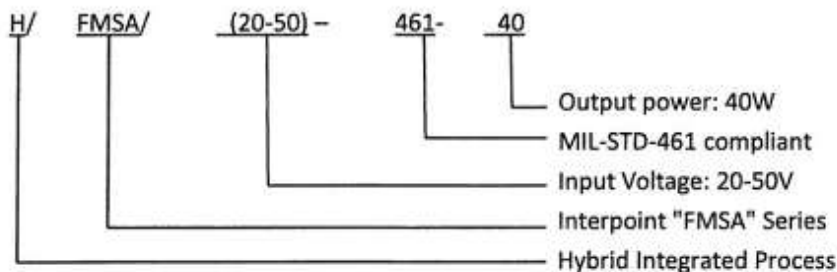


Fig. 2 Schematic diagram of the name of the HFMSA/ (20-50) -461-40 EMI filter

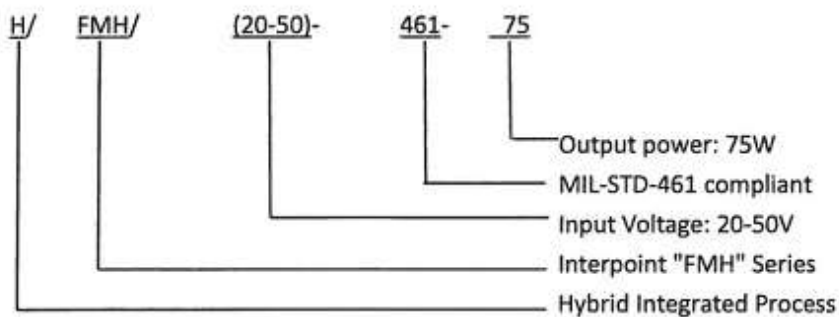


Fig. 3 Schematic diagram of the name of the HFMSA/ (20-50) -461-75 EMI filter

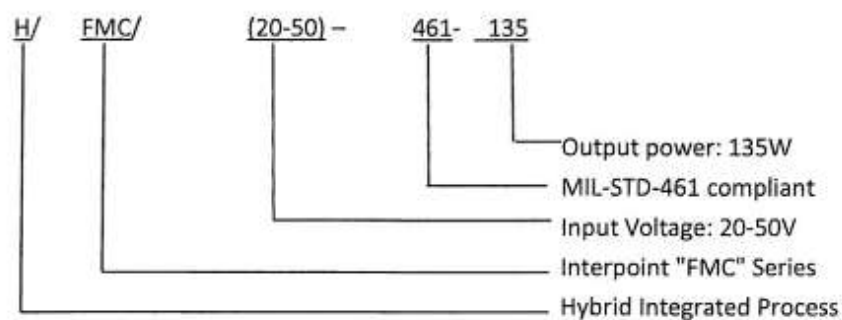


Fig. 4 Schematic diagram of the name of the HFMC/ (20-50) -461-135 EMI filter

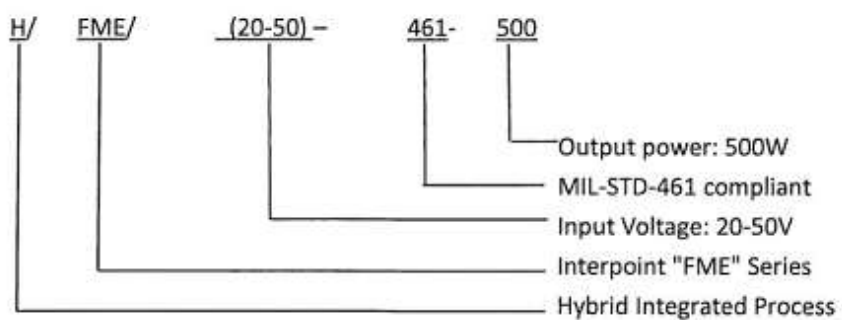
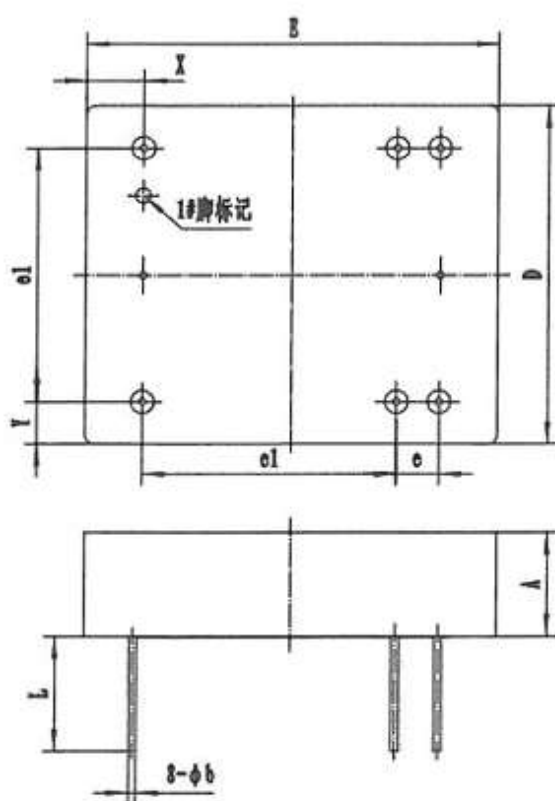


Fig. 5 Schematic diagram of the name of the HFME/ (20-50) -461-500 EMI filter

1.5 Configuration structure

The outline dimensions of the four EMI filters are as follows:

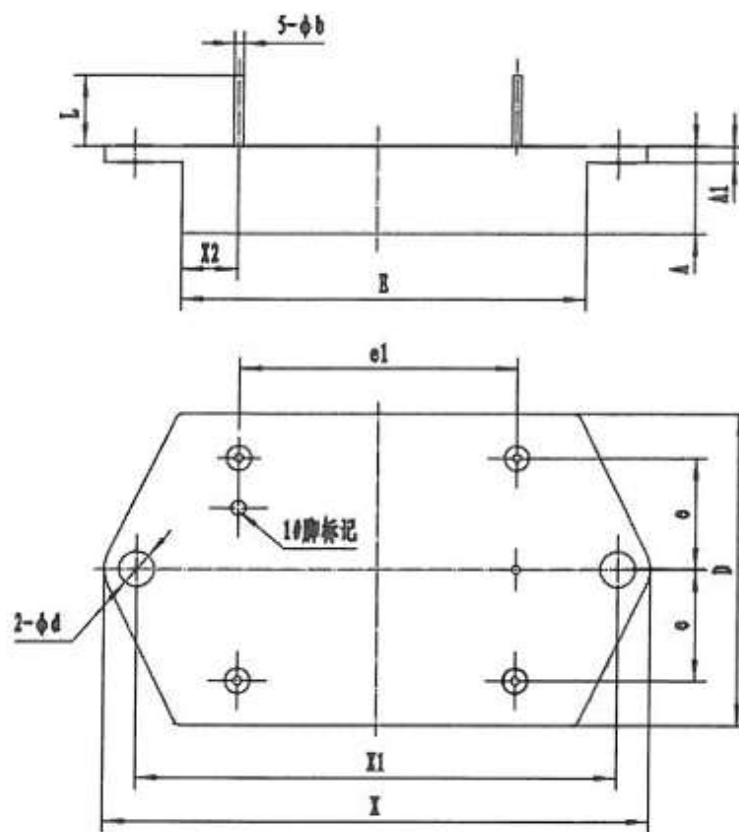


In millimeters

Symbol	Numeric		
	MINIMUM	Nominal	Maximal
A	--	--	6.86
ϕb	0.35	--	0.55
D	--	--	20.66
E	--	--	25.14
e	--	2.54	--
e1	--	15.24	--
L	5.90	--	--
X	3.13	--	3.73
Y	2.16	--	2.76

Note: e and E1 are interchangeability dimensions, which are guaranteed by shell manufacture and inspection, and are not required by this specification.

Figure 6. HFMSA/ (20-50) -461-40 EMI Filter Housing Outline Dimensions

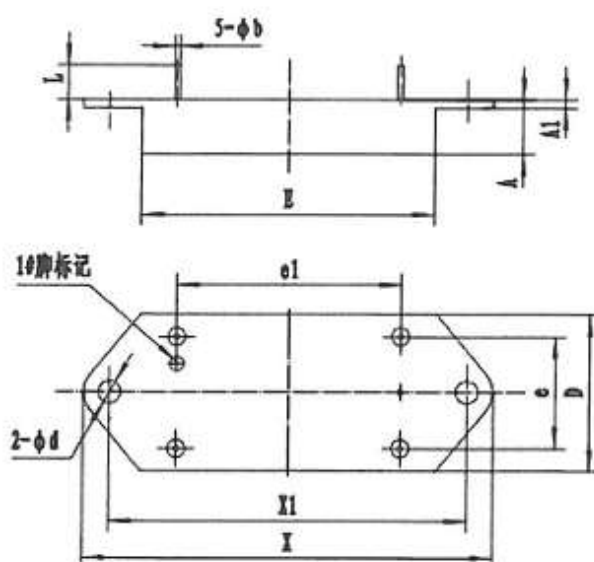


In millimeters

Dimension Symbol	Numeric		
	MINIMUM	Nominal	Maximal
A	--	--	8.38
A1	1.30	--	1.70
ϕb	0.63	--	0.89
ϕd	3.05	--	3.45
D	--	--	28.94
E	--	--	37.33
e	--	10.16	--
e1	--	25.40	--
L	5.35	--	--
X	--	--	51.00
X1	43.75	--	44.15
X2	4.91	--	5.51

Note: e and E1 are interchangeability dimensions, which are guaranteed by shell manufacture and inspection, and are not required by this specification.

Fig. 7 Outline Dimensions of EMI Filter Enclosure Type HFMH/ (20-50) -461-75



In millimeters

Dimension Symbol	Numeric		
	MINIMUM	Nominal	Maximal
A	--	--	10.16
A1	1.30	--	1.70
ϕb	0.87	--	1.13
ϕd	3.90	--	4.30
D	--	--	28.69
E	--	--	53.58
e	--	20.32	--
e1	--	40.64	--
L	5.35	--	--
X	--	--	73.91
X1	43.75	--	64.97

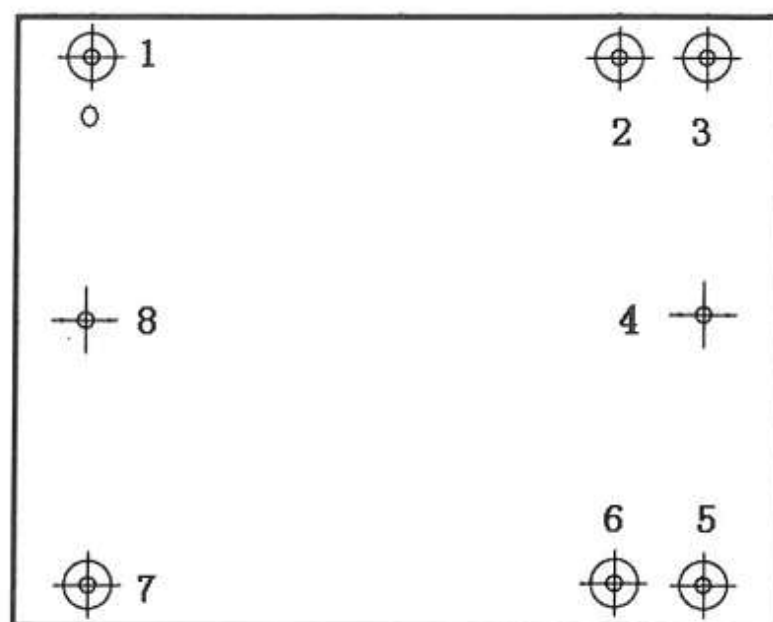
Note: e and E1 are interchangeability dimensions, which are guaranteed by shell manufacture and inspection, and are not required by this specification.

Fig. 8 Outline Dimensions of EMI Filter Enclosure for HFMC/ (20-50) -461-135



Note: e is the interchangeability dimension, which is manufactured and inspected by the shell, and is not required by this specification.

The four EMI filter leads are arranged as follows.



Elevation View

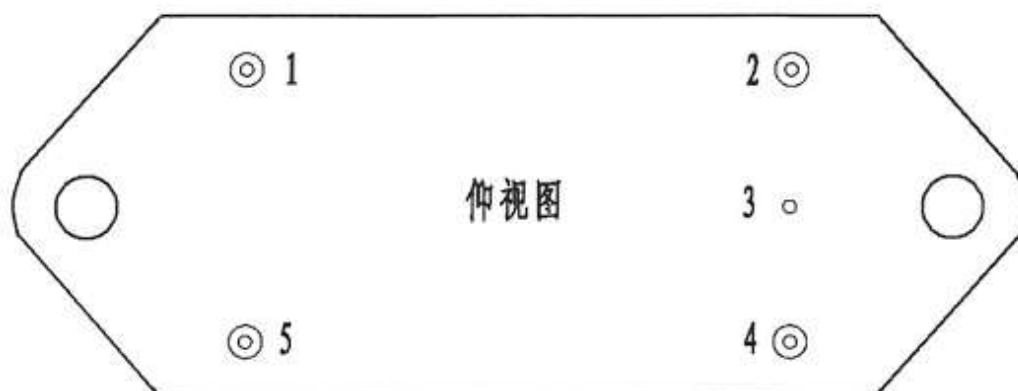
Outgoing Terminal Number	Symbol	Function	Outgoing Terminal Number	Symbol	Function
1	VI	INPUT POSITIVE END	5	GND _o	Outputly
2	V _o	POSITIVE OUTPUT END	6	GND _o	Outputly
3	V _o	POSITIVE OUTPUT END	7	GND _i	INPUT
4	CASE	Shell	8	CASE	Shell

Figure 10. HFMSA/ (20-50) -461-40 EMI Filter Outlet Arrangement



Outgoing Terminal Number	Symbol	Function	Outgoing Terminal Number	Symbol	Function
1	VI	INPUT POSITIVE END	4	GND _o	Outputly
2	Vo	POSITIVE OUTPUT END	5	GND _i	INPUT
3	CASE	Shell			

Figure 11. HFMH/ (20-50) -461-75 EMI Filter Outlet Arrangement



Outgoing Terminal Number	Symbol	Function	Outgoing Terminal Number	Symbol	Function
1	VI	INPUT POSITIVE END	4	GND _o	Outputly
2	Vo	POSITIVE OUTPUT END	5	GND _i	INPUT
3	CASE	Shell			

Figure 12. HFMC/ (20-50) -461-135 EMI Filter Outlet Arrangement



Outgoing Terminal Number	Symbol	Function	Outgoing Terminal Number	Symbol	Function

1	VI	INPUT POSITIVE END	7	GND _o	OUTPUT TERMINAL
2	VI	INPUT POSITIVE END	8	GND _o	OUTPUT TERMINAL
3	VI	INPUT POSITIVE END	9	GND _o	OUTPUT TERMINAL
4	GND _i	INPUT GROUND END	10	VO	POSITIVE OUTPUT END
5	GND _i	INPUT GROUND END	11	VO	POSITIVE OUTPUT END
6	GND _i	INPUT GROUND END	12	VO	POSITIVE OUTPUT END

Figure 13. HFME/ (20-50) -461-500 EMI Filter Outlet Arrangement

2. Electrical characteristic index

Table 2 Electrical Characteristics of HFMSA/ (20-50) -461-40 EMI Filter (Q/HW32662-2016)

Serial Number	Characteristic	Symbol	Condition (-55 °C ≤ T _C ≤ 125 °C, unless otherwise specified) VI = 28 V ± 0.5 V and VI = 42 V ± 0.5 V)	Group A Group ing	Limiting value		Unit.
					MINIMUM	Maximal	
1	INPUT VOLTAGE RANGE	VI	Continuous	1, 2, 3	0	50	V
2	Output Current	IO	VI = 20V ~ 50V full load	1, 2, 3	-	0.8	A
3	Output Voltage Sag	VOD	VI = 20 V, 28 V, 42 V, 50 V, full load	1	-	1.2	V
4	Noise Suppression	NO	Test frequency 1 kHz	4, 5, 6	-1	1	dB
			Test frequency: 500 kHz	4, 5, 6	50	-	
			Test frequency 1 MHz	4, 5, 6	50	-	
			Test frequency 5 MHz	4, 5, 6	45	-	
5	DC resistance	RDC	IO = 0.8A	1	-	1.5	Omega
6	Power consumption	PI	IO = 0.8A	1	-	0.96	W
7	Insulation Resistance	RISO	500 V DC voltage between input, output and enclosure (except 4 and 8 terminals)	1	100	-	M Ω

8	Capacitance.	CO	Between any outlet (except 4, 8) and the housing	1	-	25000	pF
---	--------------	----	--	---	---	-------	----

NOTE: Validation is performed at the test output voltage sag and is not tested separately.

Table 3 Electrical Characteristics of HFMH/ (20-50) -461-75 EMI Filter (Q/HW32663-2016)

Serial Number	Characteristic	Symbol	Condition (-55 °C ≤ T _C ≤ 125 °C, unless otherwise specified) V _I = 28 V ± 0.5 V and V _I = 42 V ± 0.5 V)	Group A Grouping	Limiting value		Unit.
					MINIMUM	Maximal	
1	INPUT VOLTAGE RANGE	V _I	Continuous	1, 2, 3	0	50	V
2	Output Current	I _O	V _I = 20V ~ 50V full load	1, 2, 3	-	1.5	A
3	Output Voltage Sag	V _{OD}	V _I = 20 V, 28 V, 42 V, 50 V, full load	1	-	0.525	V
4	Noise Suppression	NO	Test frequency 1 kHz	4, 5, 6	-1	1	dB
			Test frequency: 500 kHz	4, 5, 6	50	-	
			Test frequency 1 MHz	4, 5, 6	50	-	
			Test frequency 5 MHz	4, 5, 6	45	-	
5	DC resistance	R _{DC}	I _O = 1.5A	1	-	0.35	Omega
6	Power consumption	P _I	I _O = 1.5A	1	-	0.7875	W
7	Insulation Resistance	R _{ISO}	500 V DC voltage between input, output and enclosure (except for 3 terminals)	1	100	-	M Ω
8	Capacitance.	CO	Between any outlet (except 3) and the enclosure	1	-	24000	pF

NOTE: Validation is performed at the test output voltage sag and is not tested separately.

Table 4 Electrical Characteristics of HFMC/ (20-50) -461-135 EMI Filter (Q/HW32664-2016)

Serial Number	Characteristic	Symbol	Condition (-55 °C ≤ T _C ≤ 125 °C, unless otherwise specified) V _I = 28 V ± 0.5 V and V _I = 42 V ± 0.5 V)	Group A Grouping	Limiting value		Unit.
					MINIMUM	Maximal	

be r							
1	INPUT VOLTAGE RANGE	VI	Continuous	1, 2, 3	0	50	V
2	Output Current	IO	VI = 20V ~ 50V full load	1, 2, 3	-	2.7	A
3	Output Voltage Sag	VOD	VI = 20 V, 28 V, 42 V, 50 V, full load	1	-	0.54	V
4	Noise Suppression	NO	Test frequency 1 kHz	4, 5, 6	-1	1	dB
			Test frequency: 500 kHz	4, 5, 6	55	-	
			Test frequency 1 MHz	4, 5, 6	60	-	
			Test frequency 5 MHz	4, 5, 6	60	-	
5	DC resistance	RDC	IO = 2.7 A	1	-	0.2	Omega
6	Power consumption	PI	IO = 2.7 A	1	-	1.458	W
7	Insulation Resistance	RISO	500 V DC voltage between input, output and enclosure (except for 3 terminals)	1	100	-	M Ω
8	Capacitance.	CO	Between any outlet (except 3) and the enclosure	1	-	48000	pF
NOTE: Validation is performed at the test output voltage sag and is not tested separately.							

Table 5 Electrical Characteristics of HFME/ (20-50) -461-500 EMI Filters (Q/HW32665-2016)

Se ri a l N u m b e r	Characteristic	Sym bol	Condition (-55 °C ≤ TC ≤ 125 °C, unless otherwise specified) VI = 28 V ± 0.5 V and VI = 42 V ± 0.5 V)	Group A Group ing	Limiting value		Unit.
					MINIMU M	Maximal	
1	INPUT VOLTAGE RANGE	VI	Continuous	1, 2, 3	0	50	V
2	Output Current	IO	VI = 20V ~ 50V full load	1, 2, 3	-	10	A
3	Output Voltage Sag	VOD	VI = 20 V, 28 V, 42 V, 50 V, full load	1	-	0.7	V
4	Noise Suppression	NO	Test frequency 1 kHz	4, 5, 6	-1	1	dB
			Test frequency: 500 kHz	4, 5, 6	60	-	

				6			
			Test frequency 1 MHz	4, 5, 6	60	-	
			Test frequency 5 MHz	4, 5, 6	60	-	
5	DC resistance	RDC	IO = 10A	1	-	0.7	Omega
6	Power consumption	PI	IO = 10A	1	-	7	W
7	Insulation Resistance	RISO	500 V DC voltage is applied between the input, output and the housing	1	100	-	M Ω
8	Capacitance.	CO	Between the arbitrary outlet and the housing	1	-	70000	pF
NOTE: Validation is performed at the test output voltage sag and is not tested separately.							

3 Instructions for use

3.1 The filter is connected with the power supply.

According to the number of DC/DC converters used in the system and the size of the space volume in the system, the input current of each DC/DC converter at the input low end (20 V) is calculated. At the same time, due consideration should be given to the margin (such as derating design). On the basis of the above calculation, the number of EMI filters needed in the system and the output current of EMI filters are designed reasonably.

A filter can be connected to one or more DC/DC power supplies, and the connection diagram between the filter and the power supply is shown in Figure 14:

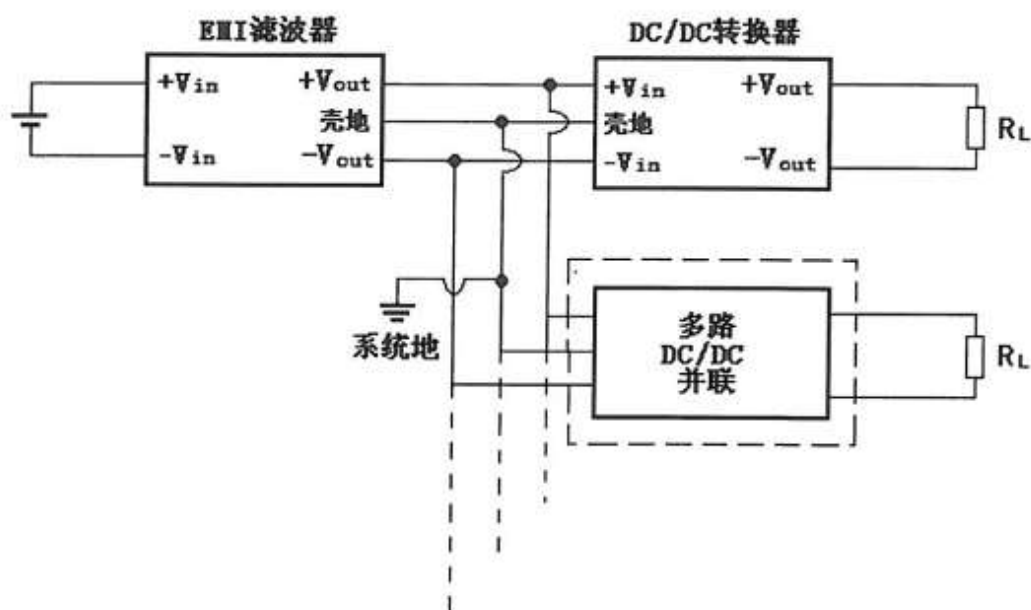


Fig. 14 Connection diagram of filter and power supply

4 Test Methods

Refer to Detail Specification for Hybrid Integrated Circuit HFMSA/ (20-50) -461-40 EMI Filters

(Standard No. Q/HW 32662-2016) and Detail Specification for Hybrid Integrated Circuit HFMH/ (20-50) -461-75 EMI Filters for the four EMI Filter test methods and test procedures(Standard No. Q/HW 32663-2016), Detail Specification for Hybrid Integrated Circuit Type HFMC/ (20-50) -461-135 EMI Filter (Standard No. Q/HW 32664-2016) and Detail Specification for Hybrid Integrated Circuit Type HFME/ (20-50) -461-500 EMI Filter (Standard No. Q/HW 32665-2016).The static parameter test chart is shown in Figure 15, and the dynamic parameter test chart is shown in Figure 16.

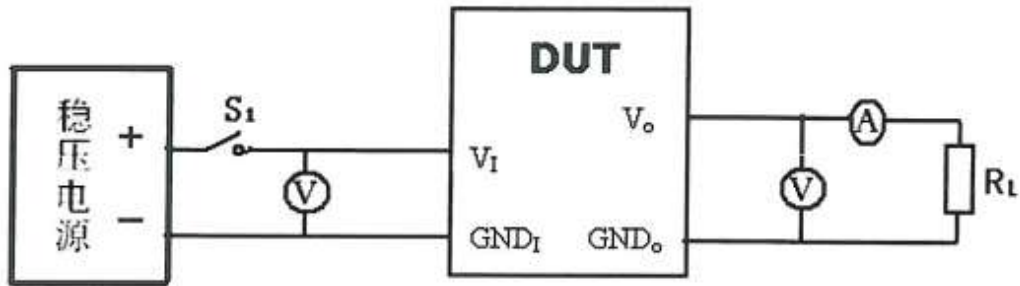


Fig. 15 Static parameter test block diagram

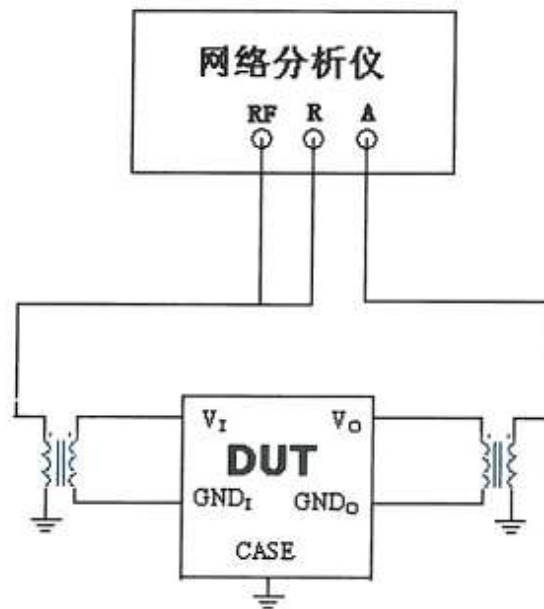


Fig. 16 Block diagram of dynamic parameter test

5 Noise Suppression Curve

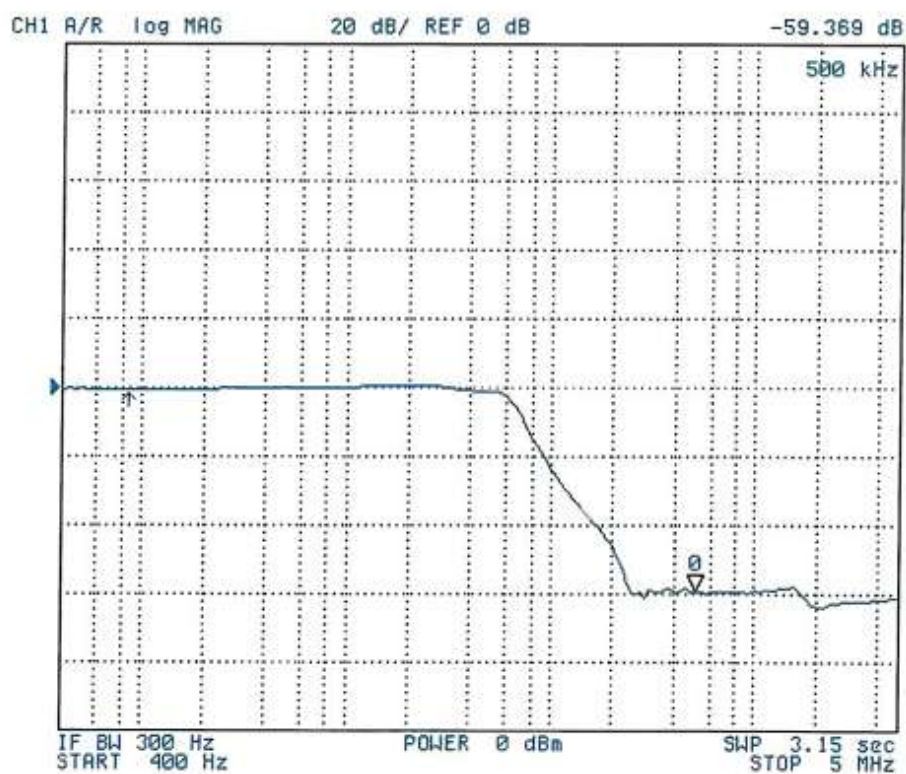


Figure 17 HFMSA/ (20-50) -461-40 Insertion Loss



Figure 18 HFMH/ (20-50) -461-75 Insertion Loss

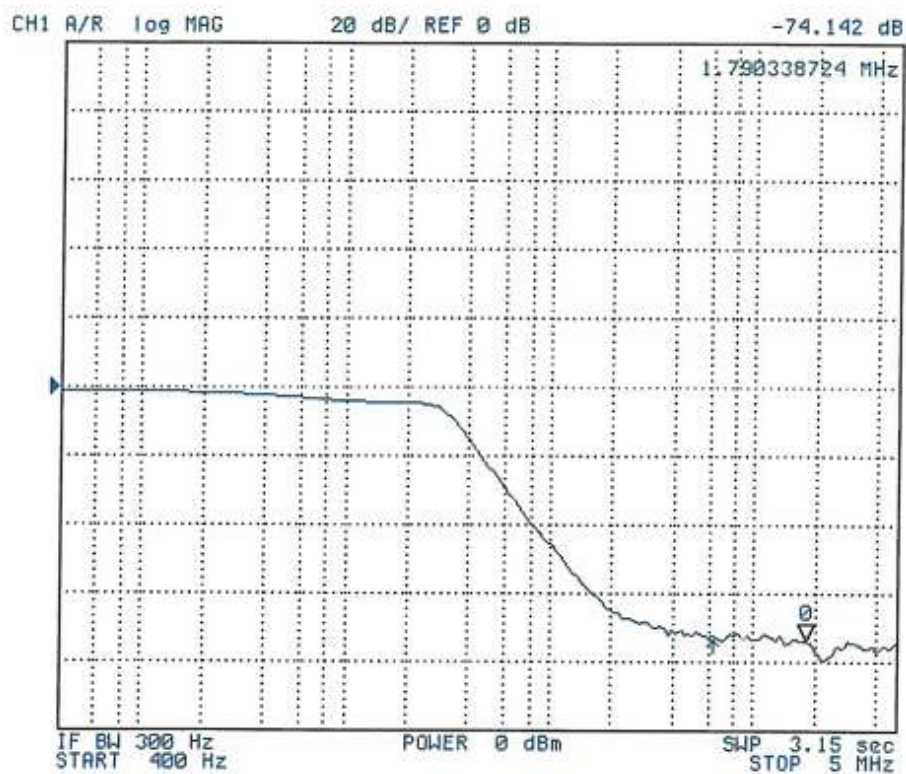


Figure 19 HPMC/ (20-50) -461-135 Insertion Loss

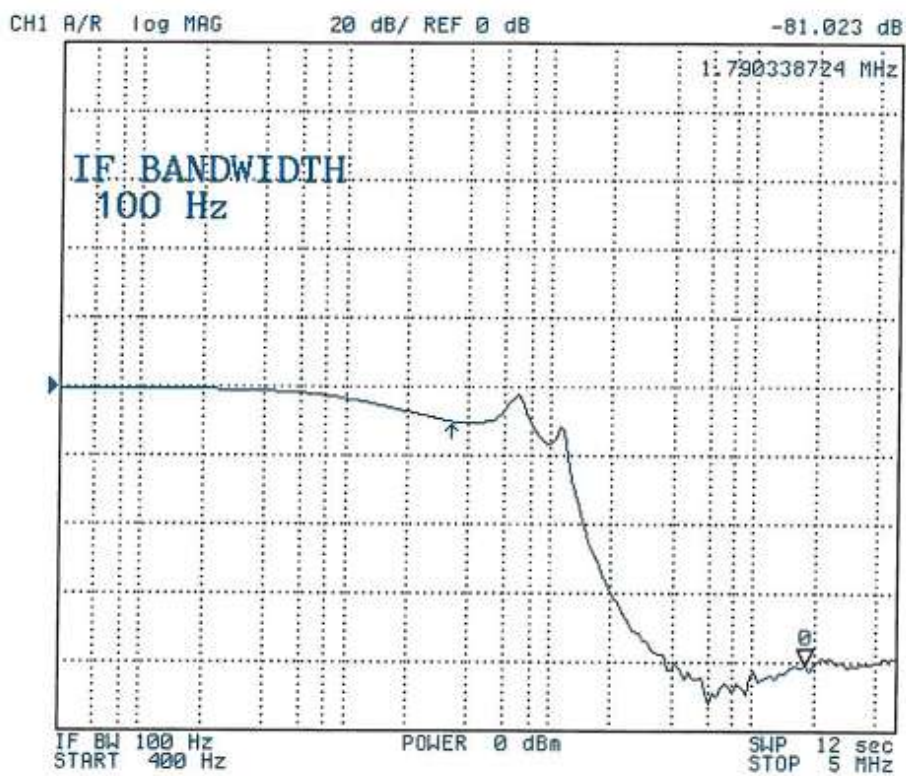


Figure 20 HFME/ (20-50) -461-500 Insertion Loss

6-MTBF curve

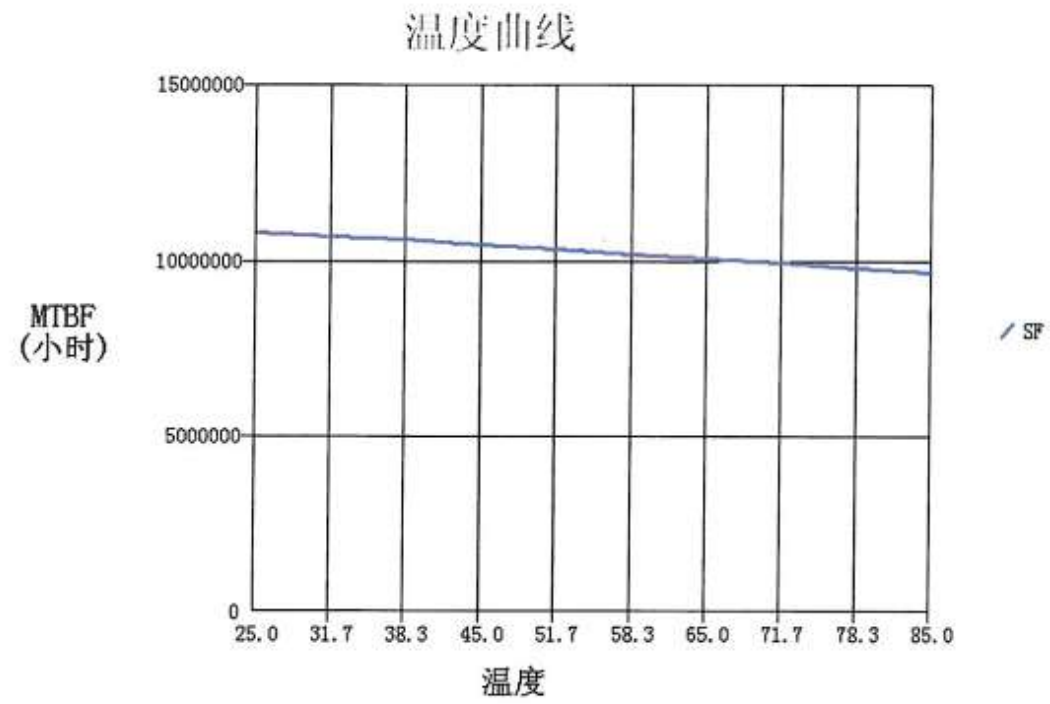


Fig. 21 HFMSA/ (20-50) -461-40 MTBF curve

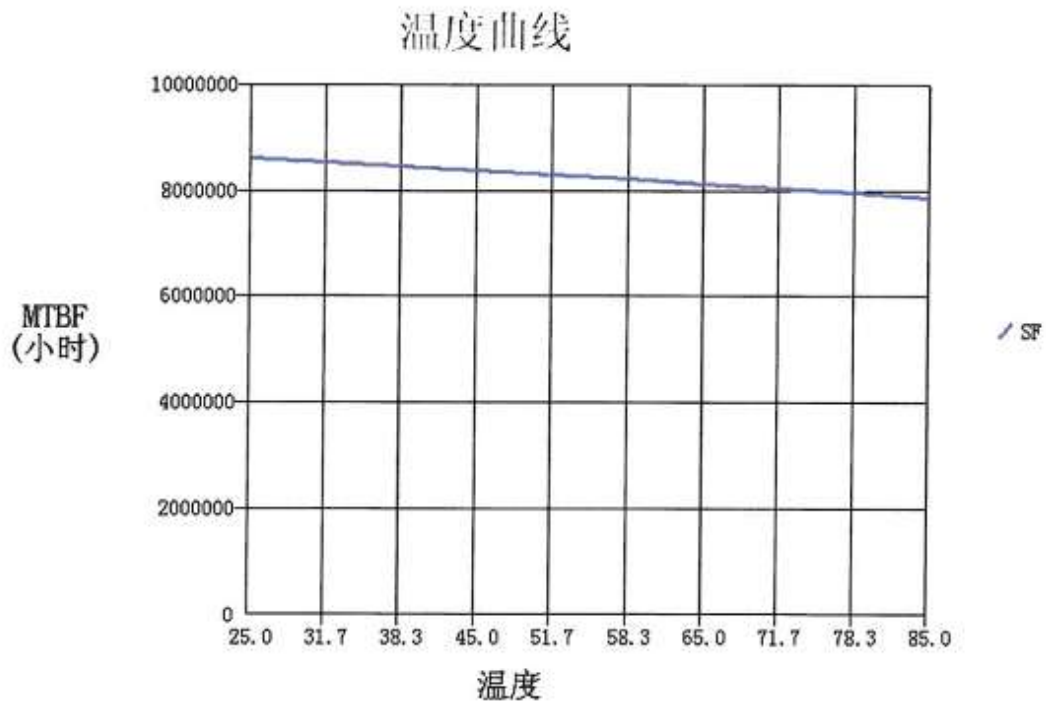


Fig. 22 HFMH/ (20-50) -461-75 MTBF curve

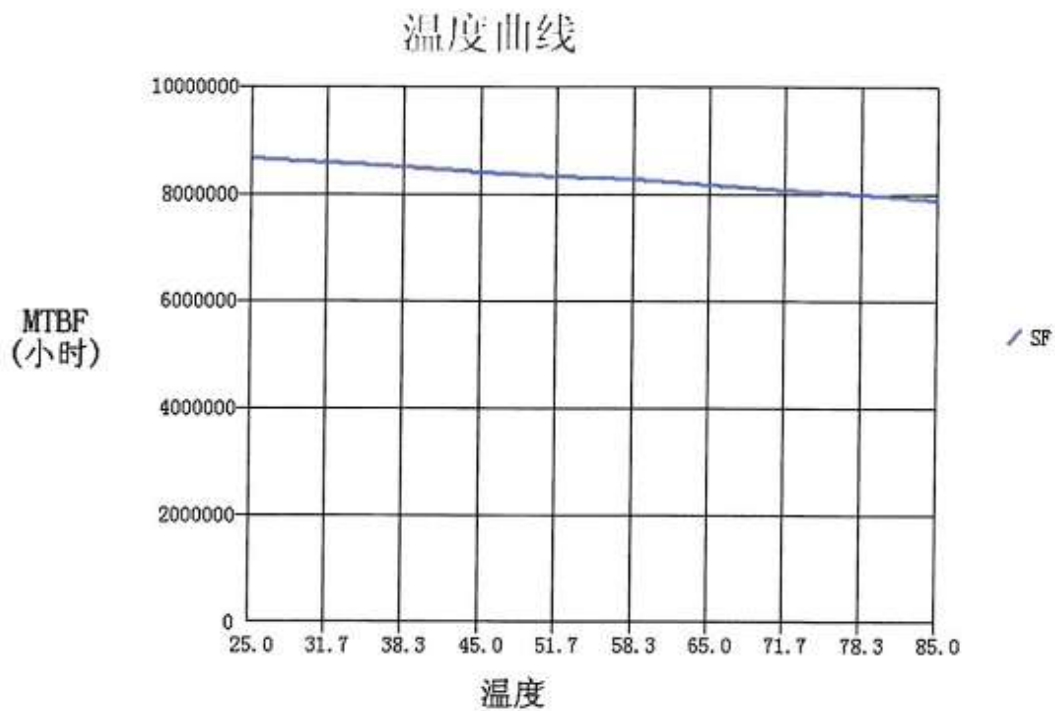


Figure 23 HPMC/ (20-50) -461-135 MTBF curve

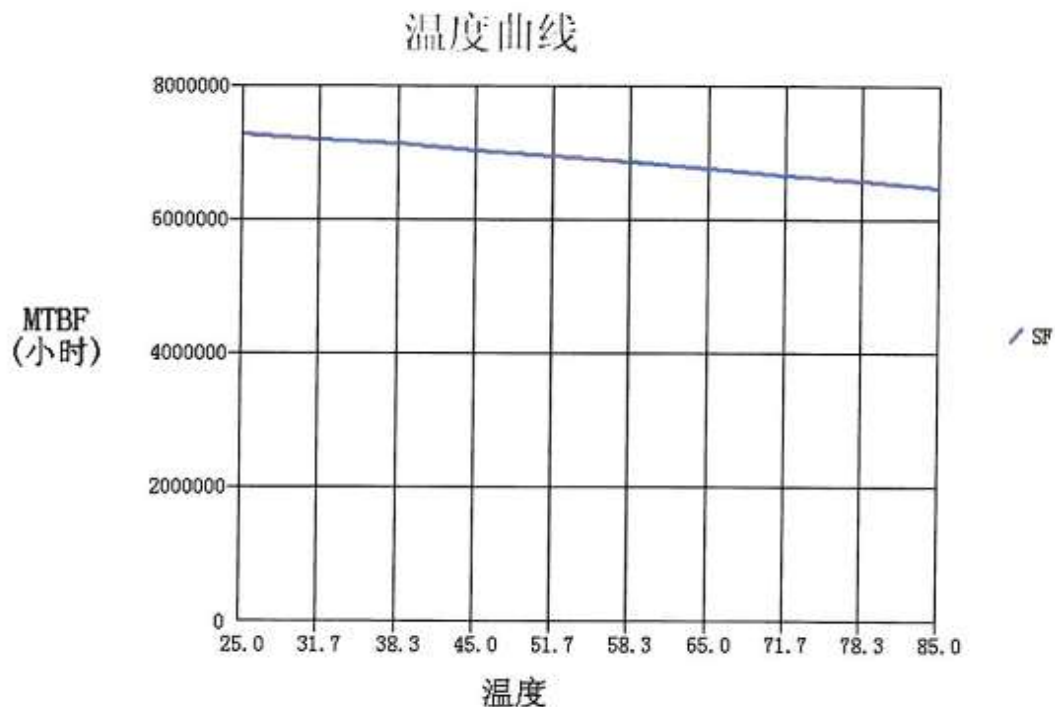


Figure 24 HFME/ (20-50) -461-500 MTBF curve

7. Internal thermal resistance of the product

Products using higher thermal conductivity cold-rolled steel as a metal shell. The internal thermal resistance is shown in Table 6 below:

Table 6 internal thermal resistance of products

Product Name	Highest temperature	MINIMUM TEMPERATURE	Power consumption (W)	INTERNAL HEAT RESISTANCE (°C/W)	Remark.
HFMSA/ (20-50) -461-40	32.4	27.6	0.25	19.2	Non-radiating Fin
HFMH/ (20-50) -461-75	50.9	33.1	0.66	26.9	
HFMC/ (20-50) -461-135	43.2	24.1	1.2	15.9	
HFME/ (20-50) -461-500	86.4	38.5	4.6	10.4	

8. Product Considerations

The installation principle of the filter is to effectively isolate the main power supply from the DC/DC power supply, if the EMI filter is installed in the wrong way, the performance of the filter will not be able to play normally, or even react, only by properly installing the filter can we achieve good results:

- It is better to install the filter at the outlet of the interference source (power supply), and then shield the interference source and the filter. If the space of the interference source is limited, the filter shell and the interference source shell should be well overlapped outside the outlet of the power line near the interference source;
- The input and output lines of the filter must be separated to prevent the coupling of the input line and the output line and to reduce the filter characteristics. Usually, the filter is fixed by the diaphragm chassis, if the isolation method can not be implemented, the shielding lead is used; Reducing the common impedance coupling;
- Twisted pair is the best connection of the filter, which can eliminate part of the high frequency interference;
- The selection of filter should pay attention to the working voltage, working current and leakage current;
- The low-frequency characteristics of the filter is related to the volume, if you want the low-frequency characteristics to be good, generally at the expense of the volume.
- The grounding line of the filter should be as short as possible to minimize the electromagnetic coupling between the input and output of the filter, and not to break the suppression of electromagnetic interference noise by the shielding structure of the system equipment.

The ideal installation method for an EMI power supply filter is shown in Figure 25.

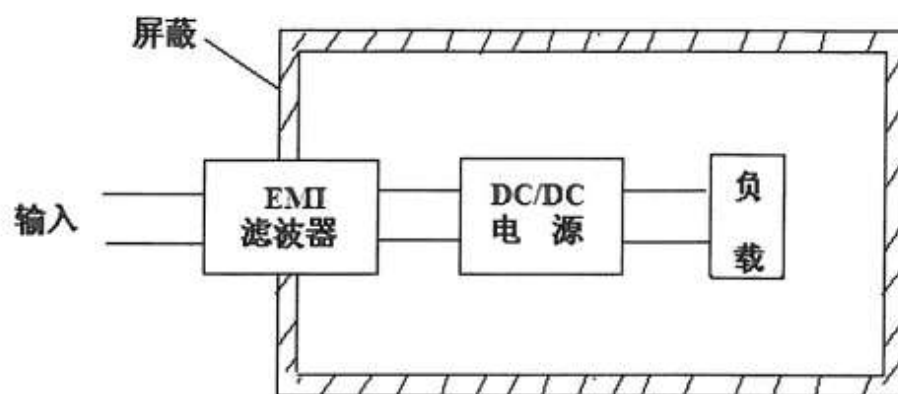


Figure 25 Installation of Ideal EMI Power Filter

Medium-low voltage 20V-50V input Radiation Hardness DC/DC Converters (65W Series)

1. Description

The 65W series radiation hardness DC/DC converters are made by hybrid integrated circuits , hermetically packaged by FPP6438 metal packages. The input voltage rang is 20V ~ 50V , typically 28V and 42V , output power is 50W,60W and 65W. The 65W series converter are capable of radiation hardness, SEE hardness to LET, and high quality grade etc.

Table 1 65W series radiation hardened DC-DC converters

Model No.	Input voltage	Input current	Output current	Package
HDCCD/ (20-50) -5-50/SP	20V~50V, typically 28V、42V	1A~10A	Single 5V	FPP6438
HDCCD/ (20-50) -12-60/SP	20V~50V, typically 28V、42V	0.5~5A	Single 12V	FPP6438
HDCCD/ (20-50) -15-65/SP	20V~50V, typically 28V、42V	0.43~4.33A	Single 15V	FPP6438
HDCCD/ (20-50) -5-50/D1	20V~50V, typically 28V、42V	0.5~5A	Dual 5V	FPP6438
HDCCD/ (20-50) -12-60/D1	20V~50V, typically 28V、42V	0.25~2.5A	Dual 12V	FPP6438

1.1 Features

- Operating temperature range (Tc) : -55℃ to +125℃;
- Input DC voltage range : 20V ~ 50V, and typically 28V and 42V;
- Input, output and metal case are isolated from each other;
- Single ended topology and magnetic isolation are adopted in this circuit structure;
- Isolation capacitance is 3300 pF/1000V;
- Fixed switching frequency is from (350kHz~500 kHz), typically 400kHz;
- The device is capable of short circuit protection, inhibition function (low

level inhibiting) and under-voltage lockout protection;

- MTBF: $\geq 1.5 \times 10^6$ h;
- Total dose: 100krad(Si);
- SEE: $75\text{MeV} \cdot \text{cm}^2/\text{mg}$;
- Quaility: CAST C



Weight: More than 95g;
Size: $\leq 76.70 \times 38.60 \times 10.16 \text{mm}^3$;

1.2 Applications

Space systems, communication systems, satellites, manned space engineering etc.

1.3 Operating conditions

1.3.1 Absolute maximum ratings

- Input voltage: 0 V~60V;
- Output power: 1.2 times rated power;
- Case operating temperature: $-55^\circ\text{C} \sim 125^\circ\text{C}$;
- Storage temperature: $-65^\circ\text{C} \sim 150^\circ\text{C}$;
- Lead Welding temperature: 300°C (10s);

Notes : Device can not be imposed with two or more maximum ratings at the same time

1.3.2 Recommended operating conditions

- Input voltage: 20V~50V;
- Output power : $1/10^*$ rated power $\sim$ rated power (optimally 65W, the recommended output power range is from 20% to 100%)
- Case operating temperature (T_c) : $-55^\circ\text{C} \sim 125^\circ\text{C}$.

1.4 Device Marking and Designation

1.4.1 Device marking

Device marking is defined in detail specification, including the following items:

- Device identification number;
- Orientation point;
- Lot identification code or date code;
- Manufacturer or trademark;
- Serial Number;
- ESDS identification code.

HDCD/ (20-50) -12-60/D1	Mb	C	R/L	
Model	Package type	lead finish	RHA Grade	(R: TID ≥ 1000Gy (Si) L: TID ≥ 500Gy (Si))

In addition, each device has a unique continuous number and should be labeled to identify the identification code of the sealing week. Equilateral triangle (Δ) serves as a mark of electrostatic sensitive devices, also used as the mark of the first pin.

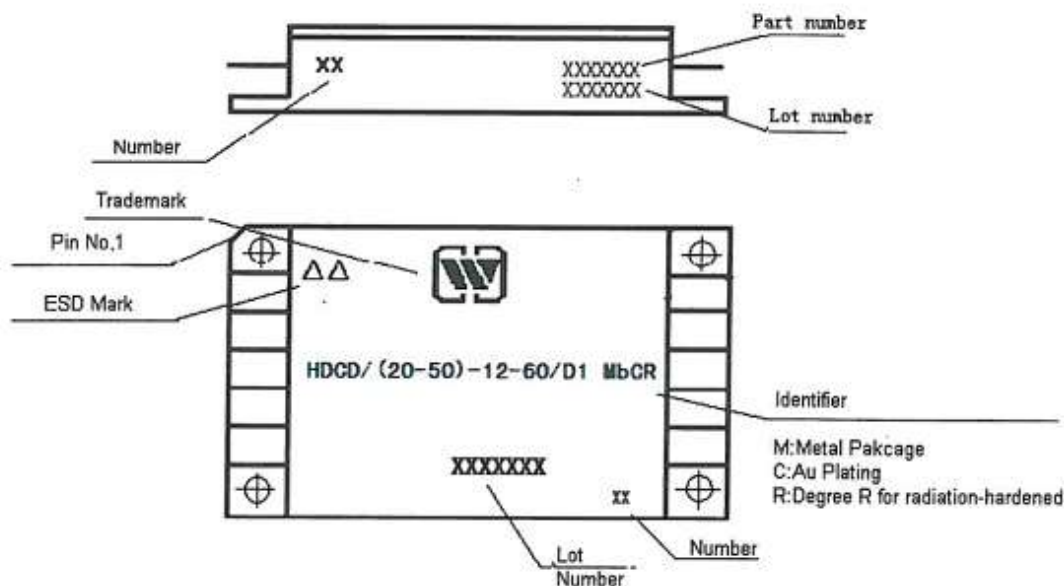


Fig 1 Diagram of the device marking

1.4.2 Device Designation

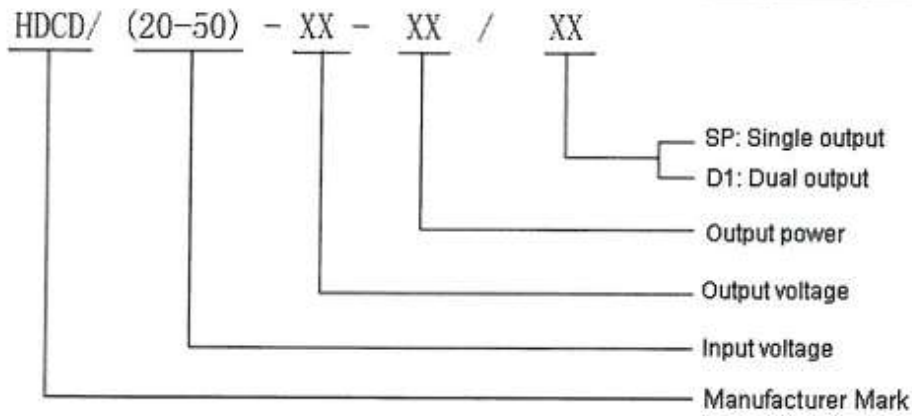
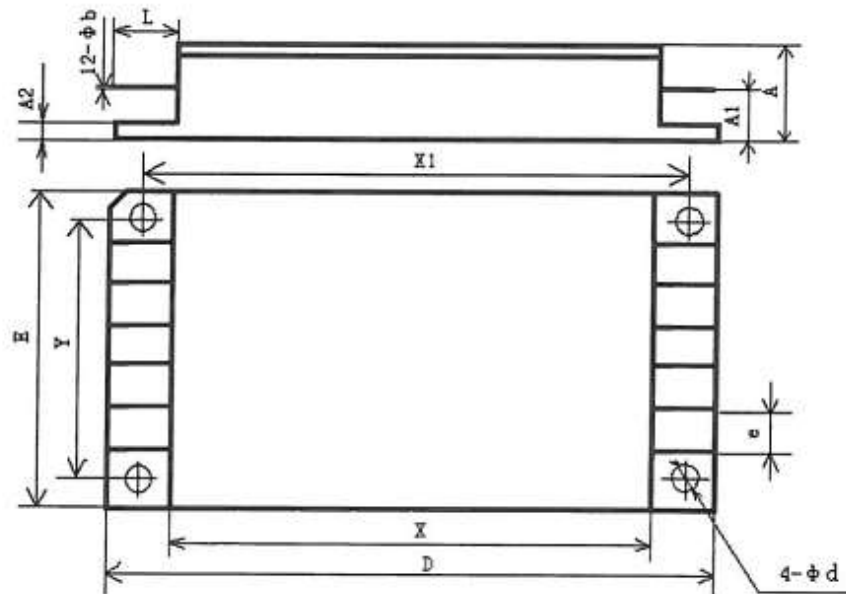


Fig 1 Diagram of the device designation

1.5 Mechanical Specifications

The size of 65W Radiation Hardness DC/DC Converters is shown in Fig 3.



Unit : mm

Symbol	Data		
	Min	Typical	Max
A	-	-	10.16
A1	5.29	-	5.89
A2	1.07	-	1.47
ϕb	0.87	-	1.13
ϕd	3.10	-	3.50
D	-	-	76.70

E	-	-	38.60
e	-	5.08	-
L	4.85	-	-
X	-	-	64.00
$X1$	69.90	-	70.30
Y	31.70	-	32.30

Notes: e , $e1$, $e2$, $e3$, $e4$ are interchangeable size, made by the shell manufacturing and inspection, this specification does not do the assessment requirements.

Fig 2 Mechanical specifications

1.6 Pin Designation



Pin No.	Symbol	Function	Pin No.	Symbol	Function
1	V_I	Positive input	1	V_I	Positive input
2	GND_I	Input ground	2	GND_I	Input ground
3	NC	NC	3	NC	NC
4	INH1	Inhibit 1	4	INH1	Inhibit 1
5	$SYNC_{OUT}$	Sync output	5	$SYNC_{OUT}$	$SYNC_{OUT}$
6	$SYNC_{IN}$	Sync input	6	$SYNC_{IN}$	$SYNC_{IN}$
7	V_O	Positive output	7	V_{O1}	Positive output
8	GND_O	Output ground	8	GND_O	Output ground
9	Sense-	Sense-	9	V_{O2}	Negative ourput
10	Sense+	Sense+	10	NC	NC
11	SHARE	SHARE	11	SHARE	SHARE
12	INH2	Inhibit 2	12	INH2	Inhibit 2

Fig 4 Pin designation

2 . Electrical characteristics

Table 2 Electrical specifications of HDCC/(20-50)-5-50/SP

N	Features	Sy	Condition (Unless otherwise specified, —	Group A	Limits	Units.
---	----------	----	---	---------	--------	--------

o		mb ol	55°C≤T _C ≤125°C V _I =28V±0.5V $\frac{1}{2}$ V _I = 42V±0.5V. Inhibit load open. C _L =0		Min	Max	
1	Output voltage	V _O	I _O =10A	1	4.95	5.05	V
				2,3	4.875	5.125	
2	Output current	I _O	V _I =20V~50V	1,2,3	-	10.0	A
3	Output ripple(peak-peak)	V _R	BW=10kHz~6MHz. I _O =10A	1	—	150	mV
				2,3	—	200	
4	Line regulation	S _V	V _I =20V→50V, I _O =10A	1,2,3	-	20	mV
5	Load regulation	S _I	I _O =0→10A	1,2,3	-	50	mV
6	Input current	I _{IN}	I _{OUT} =100%, INH 1is connected with GNDin.	1,2,3	—	14	mA
			I _{OUT} =100%, INH 2is connected with GNDin.		—	90	
			I _{OUT} =0%, INH opens.		—	120	
7	Input reflected ripple current(peak-peak)	I _{RIP}	BW=20MHz, I _O =10A, connected to EMI filter	1	—	80	mA
				2,3	—	100	
8	Input reflected ripple voltage(peak-peak)	V _{RIP}	BW=20MHz, I _O =10A, connected to EMI filter	1,2,3	—	500	mV
9	Switching frequency	f _s	V _I =28V, I _O =10A	4,5,6	350	500	kH z
10	Efficiency	η	Input voltage V _I =28V; I _O =10A	1	75	—	%
				2,3	73	—	
			Input voltage V _I =42V; I _O =10A	1	73	—	
				2,3	71	—	
11	Power dissipation	P _D	V _I =28V, Output short circuit	1,2,3	—	22	W
			V _I =42V, Output short circuit	1,2,3	—	24	
12	Capacitance load ^{ab}	C _L	V _I =28V, No effect on DC performance	4	—	1000	μF
13	Isolation	R _{ISO}	Input to output or any pin to case,test at 500V	1	100	—	MΩ
14	Vout response to load step(peak)	V _{LO R}	50% load→ full load or full load→50% load 10% load→50% load or 50% load→10%load	4	-500	500	mV
15	Recovery time of Vout response to load step ^{bcd}	t _{LOR}	50%load→full load or full load→50% load 10%load→50%load or 50% load→10%load	4	—	500	μs
16	Vout response to Vin step(peak) ^{be}	V _{VO R}	Input voltage V _I : 20V→50V, I _O =10A	4	-500	500	mV
			Input voltage V _I : 50V→20V, I _O =10A				

17	Recovery time of Vout response to Vin step ^{bde}	t_{VOR}	Input voltage V_I : 20V→50V, $I_O=10A$ Input voltage V_I : 50V→20V, $I_O=10A$	4	—	500	μs
18	Start-up overshoot ^b (peak)	V_{TO}	Input voltage V_I : 0→28V, $I_O=10A$	4,5,6	—	25	mV
			Input voltage V_I : 0→42V, $I_O=10A$	4,5,6	—	25	mV
19	Start-up overshoot(peak) ^f	t_{TR}	Input voltage V_I : 0→28V, $I_O=10A$	4,5,6	—	10	ms
			Input voltage V_I : 0→42V, $I_O=10A$	4,5,6	-	10	ms
20	Load failure recovery time ^{bd}	t_{LF}	I_O from short circuit to 10A	4	-	10	ms
21	Inhibit input	V_{INH}	Inhibit open, $I_O=10A$	1	-	16	V
22	Protection power	P_W	$I_O \geq 12A$	1	60	-	W
23	External synchronization frequency range ^b	$f_{SYN C}$	$I_O=10A$, Pin 6 connect TTL level ($V_{IH} \geq 4.5V$, $V_{IL} \leq 0.8V$), Duty cycle 40%~60%.	4	400	500	kH z

^a Capacitive load without compromising dc parameter;
^b The parameter is guaranteed by design, and tested only when there is inspection and change in design or process.
^c Load step time shall be more than 10 μs .
^d Recovery time is from the initiation of the step to the time Vout has returned to steady value within $\pm 1\%$.
^e Line step time shall be more than 200 μs .
^f Start-up delay can be calculated from either the initiation of the converter step or the removal of the grounded inhibit pin.

Table 3 Electrical Characteristics of HDCCD/(20-50)-12-60/SP

No	Features	Sym bol	Conditions (Unless otherwise specified. — 55℃≤T _C ≤125℃ V _I =28V±0.5V 与 V _I = 42V±0.5V, Inhibit load open, C _L =0)	Group A	Limits		Uni ts.
					Min	Max	
1	Output voltage	V_O	$I_O=5A$	1	11.88	12.12	V
				2,3	11.76	12.24	
2	Output current	I_O	$V_I=20V \sim 50V$	1,2,3	-	5.0	A
3	Output ripple(peak-peak)	V_R	BW=10kHz~6MHz, $I_O=5A$	1	-	100	mV
				2,3	-	120	
4	Line regulation	S_V	$V_I=20V \rightarrow 50V$, $I_O=5A$	1,2,3	-	50	mV
5	Load regulation	S_I	$I_O=0 \rightarrow 5A$	1,2,3	-	50	mV
6	Input current	I_{IN}	$I_{OUT}=100\%$, INH1 is connected with GNDin.	1,2,3	-	14	mA
			$I_{OUT}=100\%$, INH2 is connected with GNDin.		-	90	
			$I_{OUT}=0\%$, INH opens.		-	100	
7	Input reflected ripple current(peak-peak)	I_{RIP}	BW=20MHz, $I_O=5A$, connected to EMI filter	1	-	80	mA
				2,3	-	100	

8	Input reflected ripple voltage(peak-peak)	V_{RIP}	BW=20MHz, $I_O=5A$, connected to EMI filter	1,2,3	—	500	mV
9	Switching frequency ^b	f_s	$V_I=28V$, $I_O=5A$	4,5,6	350	500	kH z
10	Efficiency	η	Input voltage $V_I=28V$; $I_O=5A$	1	81	-	%
				2,3	79	-	
			Input voltage $V_I=42V$; $I_O=5A$	1	79	-	
				2,3	77	-	
11	Power dissipation	P_D	$V_I=28V$, Output short circuit	1,2,3	-	22	W
			$V_I=42V$, Output short circuit	1,2,3	-	24	
12	Capacitance load ^{ab}	C_L	$V_I=28V$, No effect on DC performance	4	-	1000	μF
13	Isolation	R_{ISO}	Input to output or any pin to case test at 500V	1	100	-	M Ω
14	Vout response to load step(peak)	V_{LO_R}	50% load→ full load or full load→50% load 10% load→50% load or 50% load→10%load	4	-600	600	mV
15	Recovery time of Vout response to load step ^{bcd}	t_{LOR}	50%load→full load or full load→50% load. 10%load→50%load or 50% load→10%load	4	-	600	μs
16	Vout response to Vin step(peak) ^{ba}	V_{VO_R}	Input voltage V_I : 20V→50V, $I_O=5A$	4	-900	900	mV
			Input voltage V_I : 50V→20V, $I_O=5A$				
17	Recovery time of Vout response to Vin step ^{bde}	t_{VOR}	Input voltage V_I : 20V→50V, $I_O=5A$	4	-	600	μs
			Input voltage V_I : 50V→20V, $I_O=5A$				
18	Start-up overshoot(peak)	V_{TO}	Input voltage V_I : 0→28V, $I_O=5A$	4,5,6	-	50	mV
			Input voltage V_I : 0→42V, $I_O=5A$	4,5,6	-	50	mV
19	Start-up delay ^f	t_{TR}	Input voltage V_I : 0→28V, $I_O=5A$	4,5,6	-	10	ms
			Input voltage V_I : 0→42V, $I_O=5A$	4,5,6	-	10	ms
20	Load failure recovery time ^{bd}	t_{LF}	I_O from short circuit to 5A	4	-	10	ms
21	Inhibit input	V_{INH}	Inhibit open, $I_O=5A$	1	-	16	V
22	Protection power	P_W	$I_O \geq 6A$	1	72	-	W
23	External synchronization frequency range ^b	f_{SYN_C}	$I_O=5A$, Pin 6 connect TTL level ($V_{IH} \geq 4.5V$, $V_{IL} \leq 0.8V$), Duty cycle 40%~60%.	4	400	500	kH z

- ^a Capacitive load without compromising dc parameter;
^b The parameter is guaranteed by design, and tested only when there is inspection and change in design or process.
^c Load step time shall be more than 10 μ s.
^d Recovery time is from the initiation of the step to the time V_{out} has returned to steady value within $\pm 1\%$.
^e Line step time shall be more than 200 μ s.
^f Start-up delay can be calculated from either the initiation of the converter step or the removal of the grounded inhibit pin.

Table 4 Electrical Characteristics of HD CD/(20-50)-15-65/SP

No	Features	Symbol	Condition (Unless otherwise specified, -55°C≤T _C ≤125°C, V _I =28V±0.5V $\frac{1}{2}$ V _I = 42V±0.5V, Inhibit load open, C _L =0)	Subgroup A	Limits		Unit
					Min	Max	
1	Output voltage	V _O	I _O =4.33A	1	14.85	15.15	V
				2,3	14.55	15.45	
2	Output current	I _O	V _I =20V~50V	1,2,3	-	4.33	A
3	Output ripple(peak-peak)	V _R	BW=10kHz~6MHz, I _O =4.33A	1	-	120	mV
				2,3	-	150	
4	Line regulation	S _V	V _I =20V→50V, I _O =4.33A	1,2,3	-	50	mV
5	Load regulation	S _I	I _O =0→4.33A	1,2,3	-	50	mV
6	Input current	I _{IN}	I _{OUT} =100%, INH1 is connected with GNDin.	1,2,3	-	14	mA
			I _{OUT} =100%, INH2 is connected with GNDin.		-	90	
			I _{OUT} =0%, INH opens.		-	100	
7	Input reflected ripple current(peak-peak)	I _{RIP}	BW=20MHz, I _O =4.33A, connected with EMI filter	1	-	80	mA
				2,3	-	100	
8	Input reflected ripple voltage(peak-peak)	V _{RIP}	BW=20MHz, I _O =4.33A, connected with EMI filter	1,2,3	-	500	mV
9	Switching frequency ^b	f _s	V _I =28V, I _O =4.33A	4,5,6	350	500	kHz
10	Efficiency	η	Input voltage V _I =28V: I _O =4.33A	1	82	-	%
				2,3	80	-	
			Input voltage V _I =42V: I _O =4.33A	1	80	-	
				2,3	78	-	
11	Power dissipation	P _D	V _I =28V, Output short circuit	1,2,3	-	22	W
			V _I =42V, Output short circuit	1,2,3	-	24	
12	Capacitance load ^{ab}	C _L	V _I =28V, No effect on DC performance	4	-	1000	μ F

13	Isolation	R_{ISO}	Input to output or any pin to case test at 500V	1	100	-	MΩ
14	Vout response to load step(peak)	$V_{LO\ R}$	50% load→full load or full load→50% load 10% load→50% load or 50% load→10%load	4	-750	750	mV
15	Recovery time of Vout response to load step ^{bcd}	t_{LOR}	50%load→full load or full load→50% load 10%load→50%load or 50% load→10%load	4	-	750	μs
16	Vout response to Vin step(peak) ^{bd}	$V_{VO\ R}$	Input voltage V_I : 20V→50V, $I_O=4.33A$ Input voltage V_I : 50V→20V, $I_O=4.33A$	4	-900	900	mV
17	Recovery time of Vout response to Vin step ^{bde}	t_{VOR}	Input voltage V_I : 20V→50V, $I_O=4.33A$ Input voltage V_I : 50V→20V, $I_O=4.33A$	4	-	750	μs
18	Start-up overshoot(peak) ^b	V_{TO}	Input voltage V_I : 0→28V, $I_O=4.33A$	4,5,6	-	50	mV
			Input voltage V_I : 0→42V, $I_O=4.33A$	4,5,6	-	50	mV
19	Start-up delay ^f	t_{TR}	Input voltage V_I : 0→28V, $I_O=4.33A$	4,5,6	-	10	ms
			Input voltage V_I : 0→42V, $I_O=4.33A$	4,5,6	-	10	ms
20	Load failure recovery time ^{bd}	t_{LF}	I_O from short circuit to 4.33A	4	-	10	ms
21	Inhibit input	V_{INH}	Inhibit open, $I_O=4.33A$	1	-	16	V
22	Protection power	P_W	$I_O \geq 5.2A$	1	78	-	W
23	External synchronization frequency range ^b	$f_{SYN\ C}$	$I_O=4.33A$, Pin 6 connect TTL level ($V_{IH} \geq 4.5V$, $V_{IL} \leq 0.8V$), Duty cycle 40%~60%.	4	400	500	kHz

^a Capacitive load without compromising dc parameter.

^b The parameter is guaranteed by design, and tested only when there is inspection and change in design or process.

^c Load step time shall be more than 10μs.

^d Recovery time is from the initiation of the step to the time Vout has returned to steady value within ±1%.

^e Line transient time shall be more than 200μs.

^f Start-up delay can be calculated from either the initiation of the converter step or the removal of the grounded inhibit pin.

Table 5 Electrical Characteristics of HDCD/(20-50)-5-50/D1

No	Features	Symbol	Conditions (Unless otherwise specified. — 55℃≤T _C ≤125℃ V _I = 28V±0.5V 与 V _I = 42V±0.5V, Inhibit open, C _L =0)	Group A	Limits		Unit
					Min	Max	
1	Output voltage	V _{O1}	I _{O1} =I _{O2} =5.0A	1	4.95	5.05	V
		2, 3		4.85	5.15		
		V _{O2}		1	-4.92	-5.08	
		2, 3		-4.82	-5.18		
2	Output current	I _{O1}	V _I =20V~50V	1,2,3	-	5.0	A

		I_{O2}		1,2,3	-	5.0	
3	Output ripple(peak-peak)	V_R	BW=10kHz~6MHz, $I_{O1}=I_{O2}=5.0A$	1	-	100	mV
				2,3	-	200	
4	Line regulation	S_{V1}	$V_I=20V \rightarrow 50V$, $I_{O1}=I_{O2}=5.0A$	1,2,3	-	50	mV
		S_{V2}		1,2,3	-	100	
5	Load regulation	S_{I1}	$I_{O1}=I_{O2}=0 \rightarrow 5.0A$	1,2,3	-	50	mV
		S_{I2}		1,2,3	-	200	
6	Input current	I_{IN}	$I_{OUT}=100\%$, INH1 is connected with GNDin.	1,2,3	-	14	mA
			$I_{OUT}=100\%$, INH2 is connected with GNDin.		-	90	
			$I_{OUT}=0\%$, INH opens.		-	120	
7	Input reflected ripple current(peak-peak)	I_{RIP}	BW=20MHz, $I_{O1}=I_{O2}=5.0A$. connected to EMI filter	1	-	80	mA
				2,3	-	100	
8	Input reflected ripple voltage(peak-peak)	V_{RIP}	BW=20MHz, $I_{O1}=I_{O2}=5.0A$. connected to EMI filter	1,2,3	-	500	mV
9	Switching frequency ^b	f_s	$V_I=28V$, $I_{O1}=I_{O2}=5.0A$	4,5,6	350	500	kHz
10	Efficiency	η	Input voltage $V_I=28V$: $I_{O1}=I_{O2}=5.0A$	1	75	-	%
				2,3	73	-	
			Input voltage $V_I=42V$: $I_{O1}=I_{O2}=5.0A$	1	73	-	
				2,3	71	-	
11	Power dissipation	P_D	$V_I=28V$, output short circuit	1,2,3	-	22	W
			$V_I=42V$, output short circuit	1,2,3		24	
12	Capacitance load ^{ab}	C_L	$V_I=28V$. No effect on dc performance	4	-	500	μF
13	Isolation	R_{ISO}	Input to output or any pin to case at 500V	1	100	-	M Ω
14	Vout response to load step(peak) ^{bc}	$V_{LO R}$	50% load $\rightarrow$ full load or full load $\rightarrow$ 50% load, each output has a balanced load	4	-500	500	mV
15	Recovery time of Vout response to load step ^{bcd}	t_{LOR}	50%load $\rightarrow$ full load or full load $\rightarrow$ 50% load, each output has a balanced load 10%load $\rightarrow$ 50%load or 50% load $\rightarrow$ 10%load, each output has a balanced load	4	-	800	μs
16	Vout response to Vin step(peak) ^{de}	$V_{VO R}$	Input voltage V_I : 20V $\rightarrow$ 50V, $I_{O1}=I_{O2}=5.0A$	4	-800	800	mV
			Input voltage V_I : 50V $\rightarrow$ 20V, $I_{O1}=I_{O2}=5.0A$				
17	Recovery time of Vout response to Vin step ^{bde}	t_{VOR}	Input voltage V_I : 20V $\rightarrow$ 50V, $I_{O1}=I_{O2}=5.0A$	4	-	800	μs
			Input voltage V_I : 50V $\rightarrow$ 20V, $I_{O1}=I_{O2}=5.0A$				

18	Start-up overshoot(peak) ^b	V_{TO}	Input voltage V_I : 0→28V, $I_{O1}=I_{O2}=5.0A$	4,5,6	-	25	mV
			Input voltage V_I : 0→42V, $I_{O1}=I_{O2}=5.0A$	4,5,6	-	25	mV
19	Start-up delay ^f	t_{TR}	Input voltage V_I : 0→28V, $I_{O1}=I_{O2}=5.0A$	4,5,6	-	10	ms
			Input voltage V_I : 0→42V, $I_{O1}=I_{O2}=5.0A$	4,5,6	-	10	ms
20	Load failure recovery time ^{bd}	t_{LF}	I_{O1} 、 I_{O2} from short circuit to 5.0A	4	-	10	ms
21	Inhibit input	V_{INH}	Inhibit open, $I_{O1}=I_{O2}=5.0A$	1	-	16	V
22	Protection power	P_W	$I_{O1}=I_{O2} \geq 6A$	1	60	-	W
23	Cross regulation	S_C	One road power form 30% to 70%, the other road from 70% to 30%,Initial condition each road 50% power.	1	-	10	%
24	External synchronization frequency range ^b	f_{SYN} c	$I_{O1}=I_{O2}=5.0A$, Pin 6 connect TTL level ($V_{IH} \geq 4.5V$, $V_{IL} \leq 0.8V$), Duty cycle 40%~60%.	4	400	500	kHz

^a Capacitive load without compromising dc parameter.

^b The parameter is guaranteed by design, and tested only when there is inspection and change in design or process.

^c Load step time shall be more than 10 μ s.

^d Recovery time is from the initiation of the step to the time V_{out} has returned to steady value within $\pm 1\%$.

^e Line transient time shall be more than 200 μ s.

^f Start-up delay can be calculated from either the initiation of the converter step or the removal of the grounded inhibit pin.

Table 6 Electrical Characteristics of HDCC/(20-50)-12-60/D1

No	Features	Symbol	Conditions (Unless otherwise specified. — 55℃≤T _C ≤125℃ V _I =28V±0.5V 与 V _I = 42V±0.5V, Inhibit open, C _L =0)	Group A	Limits		Unit
					Min	Max	
1	Output voltage	V _{O1}	I _{O1} =I _{O2} =2.5A	1	11.88	12.12	V
				2, 3	11.64	12.36	
		V _{O2}		1	-12.18	-11.82	
				2, 3	-12.42	-11.58	
2	Output current	I _{O1}	V _I =20V~50V	1,2,3	-	2.5	A
		I _{O2}		1,2,3	-	2.5	
3	Output	V _R	BW=10kHz~6MHz, I _{O1} =I _{O2} =2.5A	1	-	120	mV

	ripple(peak-peak)			2,3	-	150	
4	Line regulation	S_{V1}	$V_1=20V \rightarrow 50V, I_{O1}=I_{O2}=2.5A$	1,2,3		50	mV
		S_{V2}		1,2,3	-	100	
5	Load regulation	S_{I1}	$I_{O1}=I_{O2}=0 \rightarrow 2.5A$	1,2,3		50	mV
		S_{I2}		1,2,3	-	200	
6	Input current	I_{IN}	$I_{OUT}=100\%$, INH 1 is connected with GNDin.	1,2,3	-	14	mA
			$I_{OUT}=100\%$, INH 2 is connected with GNDin.		-	90	
			$I_{OUT}=0\%$, INH opens.		-	100	
7	Input reflected ripple current(peak-peak)	I_{RIP}	BW=20MHz, $I_{O1}=I_{O2}=2.5A$, connected to EMI filter	1	-	80	mA
				2,3	-	100	
8	Input reflected ripple voltage(peak-peak)	V_{RIP}	BW=20MHz, $I_{O1}=I_{O2}=2.5A$, connected to EMI filter	1,2,3	-	500	mV
9	Switching frequency	f_s	$V_1=28V, I_{O1}=I_{O2}=2.5A$	4,5,6	350	500	kHz
10	Efficiency	η	Input voltage $V_1=28V, I_{O1}=I_{O2}=2.5A$	1	81	-	%
				2,3	79	-	
			Input voltage $V_1=42V, I_{O1}=I_{O2}=2.5A$	1	79	-	
				2,3	77	-	
11	Power dissipation	P_D	$V_1=28V$, output short circuit	1,2,3	-	22	W
			$V_1=42V$, output short circuit	1,2,3		24	
12	Capacitance load ^{ab}	C_L	$V_1=28V$, No effect on dc performance	4	-	500	μF
13	Isolation	R_{ISO}	Input to output or any pin to case at 500V	1	100	-	M Ω
14	Vout response to load step(peak) ^{bc}	$V_{LO R}$	50% load $\rightarrow$ full load or full load $\rightarrow$ 50% load, each output has a balanced load	4	-800	800	mV
15	Recovery time of Vout response to load step ^{bcd}	t_{LOR}	50% load $\rightarrow$ full load or full load $\rightarrow$ 50% load, each output has a balanced load	4	-	600	μs
			10% load $\rightarrow$ 50% load or 50% load $\rightarrow$ 10% load, each output has a balanced load	4	-	800	
16	Vout response to Vin step(peak) ^{be}	$V_{VO R}$	Input voltage $V_1: 20V \rightarrow 50V, I_{O1}=I_{O2}=2.5A$	4	-900	900	mV
			Input voltage $V_1: 50V \rightarrow 20V, I_{O1}=I_{O2}=2.5A$				

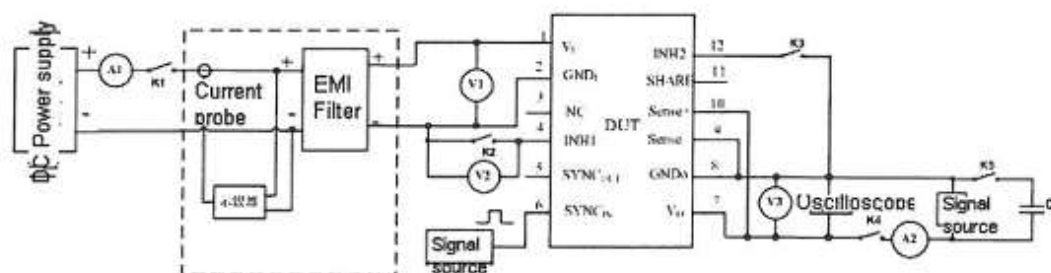
17	Recovery time of Vout response to Vin step ^{bde}	I_{VOR}	Input voltage V_I : 20V→50V, $I_{O1}=I_{O2}=2.5A$ Input voltage V_I : 50V→20V, $I_{O1}=I_{O2}=2.5A$	4	-	900	μs
18	Start-up overshoot(peak) ^b	V_{TO}	Input voltage V_I : 0→28V, $I_{O1}=I_{O2}=2.5A$	4,5,6	-	50	mV
			Input voltage V_I : 0→42V, $I_{O1}=I_{O2}=2.5A$	4,5,6	-	50	mV
19	Start-up delay ^f	t_{TR}	Input voltage V_I : 0→28V, $I_{O1}=I_{O2}=2.5A$	4,5,6	-	10	ms
			Input voltage V_I : 0→42V, $I_{O1}=I_{O2}=2.5A$	4,5,6	-	10	ms
20	Load failure recovery time ^{bd}	t_{LF}	I_{O1} , I_{O2} from short circuit to 2.5A	4	-	10	ms
21	Inhibit input	V_{INH}	Inhibit open, $I_{O1}=I_{O2}=2.5A$	1	-	16	V
22	Protection power	P_W	$I_{O1}=I_{O2}\geq 3A$	1	72		W
23	Cross regulation	S_C	One road power form 30% to 70%, the other road from 70% to 30%, Initial condition each road 50% power.	1	-	6	%
24	External sync frequency range ^b	f_{SYN} c	$I_{O1}=I_{O2}=2.5A$, pin 6 connect TTL level ($V_{IH}\geq 4.5V$, $V_{IL}\leq 0.8V$), Duty cycle 40%~60%.	4	400	500	kH z

^a Capacitive load without compromising dc parameter.
^b The parameter is guaranteed by design, and tested only when there is inspection and change in design or process.
^c Load step time shall be more than 10 μs .
^d Recovery time is from the initiation of the step to the time Vout has returned to steady value within $\pm 1\%$.
^e Line transient time shall be more than 200 μs .
^f Start-up delay can be calculated from either the initiation of the converter step or the removal of the grounded inhibit pin.

3. User Manual

3.1 Electrical connection

Test connection is shown in Fig 5



(a) Single series

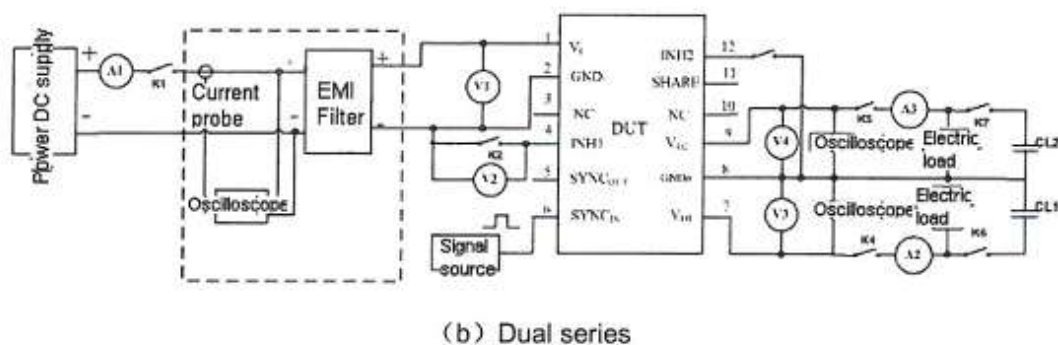


Fig 5 Electrical connection diagram

3.2 Inhibit function

The device has inhibit function, inhibiting at low voltage (<4V). The device operates normally at high voltage (10V~25V) or when suspended. Secondary inhibit: low level(<2V~3.5V); high level(>3.5V~6V). When the device is inhibited, input current low level is less than 14mA; high level is less than 90mA. output voltage is less than 0.5V.

The device does not output, when the inhibit pin (INH) is grounded directly, or connected with external NPN transistor (set base high level), as shown in Fig 6.. The parameter of resistance and capacitance in the Fig 6 can be appropriately adjusted. The inhibit pin can be suspended when it is not needed.

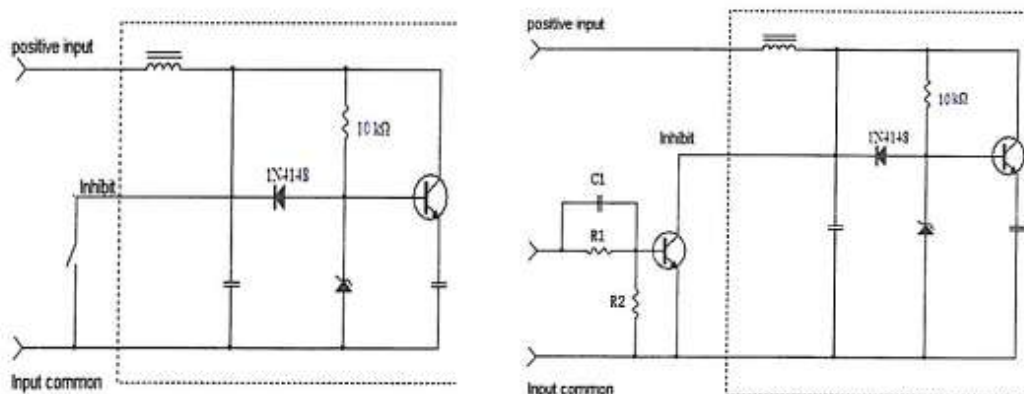


Fig 6 Inhibit pin connection diagram

3.3 Short circuit protection function

65W series has short circuit protection function. Protection overshoot is about 120%~180%. When the output pin shorted, the device is turned into protection state (belching like protection, squeaking sound). Here, output

voltage is closed to 0V, main current is 400mA~600mA, internal power dissipation inside is about 11W to 21W. The parameters above are tested at the bottom of output pin at the normal temperature.

3.4 Under-voltage protection function

Single and dual series device has under-voltage protection function. When input voltage is under $17.5V \pm 1V$, the device does not have output voltage.

3.5 Current sharing function

65W series have current sharing function, Dual series without this function, The maximum number of parallel modules can reach up to three. Shown as Fig 7.

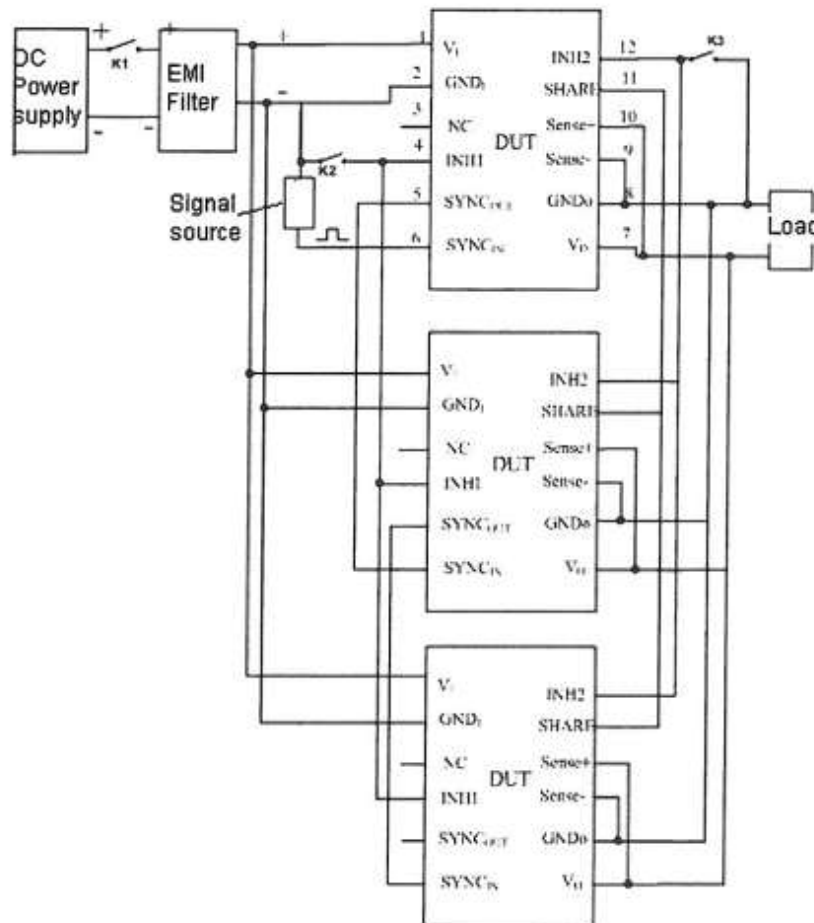


Fig 7 Connect the connection diagram in parallel

3.5 External sync function

The 65W series products have an external synchronization function. By inputting a synchronous frequency signal on the external synchronization pin, the operating

frequency of the converter is consistent with the synchronization signal. The external synchronization frequency range is 400kHz~500kHz. External synchronization signal is TTL level ($V_{IH} \geq 4.5V$, $V_{IL} \leq 0.8V$), Duty cycle 40% ~ 60%. It is recommended to use the high level of 5V, low level of 0. duty cycle is 50% TTL signal. Leave the external sync pin floating or ground when this function is not used.

3.6 Design of transient protection circuit at front end

LC filter is used at input port inside of the device. At the moment of power start-up, there is inevitably high transient current because ESR of capacitor is small (mΩ level). So it is recommended for user to add transient protection circuit or select EMI filter with transient protection circuit.

Transient protection circuit is shown in Fig. 8:

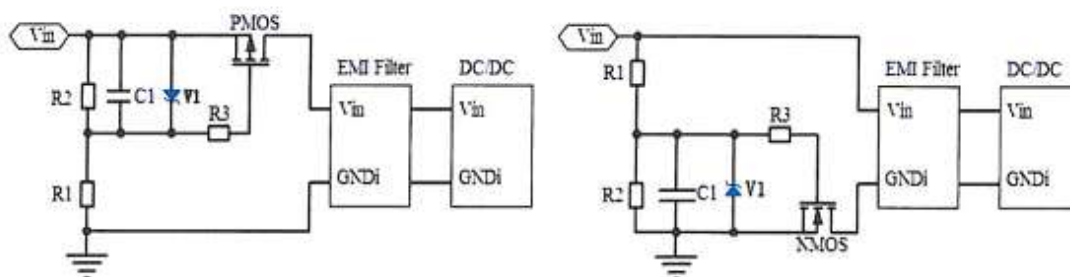


Fig 8 Transient protection circuit

It is recommend to use $R1=36k\Omega$, $R2=20k\Omega$, $R3=20\Omega$, $C1=1\mu F$. Charge and discharge time can be controlled by changing the value of $C1$. The withstand voltage of P channel and N channel MOSFET shall be more than 100V. Current should be considered according to the bus bar current, coupled with grade 1 derating design. It is recommended that input voltage rise time of DC/DC converter shall be more than 1ms. The specific value of the capacitance $C1$ shall be set by the user according to the actual system application.

3.7 Design of output filter at back-end

LC filter circuit is used internally. If output ripple can not meet the requirements of the system, filter circuit can be redesigned at the output port

of DC/DC converter in order to reduce the ripple. Several recommended filter circuits are as follows.:

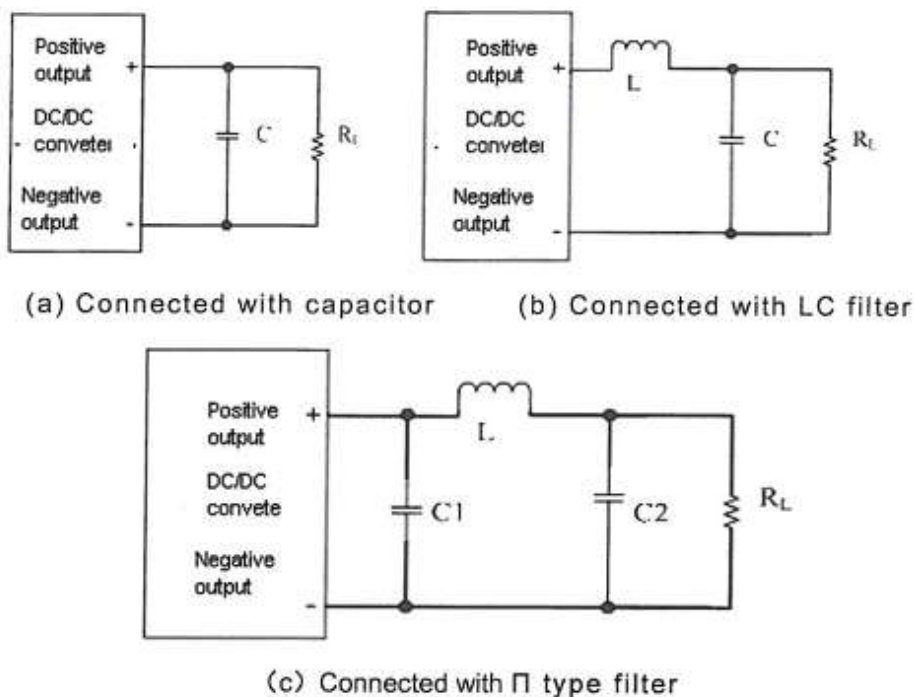


Fig 9 Filter circuit

Capacitor shall be mounted to the load side as close as possible, capacitance of the external capacitor shall be less than capability of the converter with capacitive load.

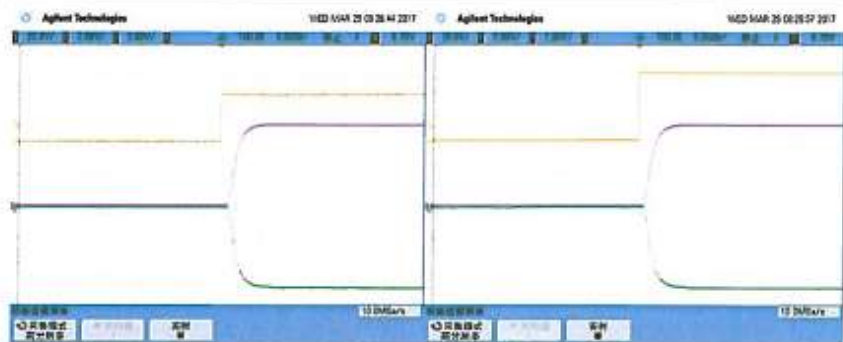
4. Typical output waveform

4.1 Start-up delay/start-up overshoot ($T_c=25^\circ\text{C}$, $V_{in}=28\text{V}$ and $V_{in}=42\text{V}$, full load)



(a) Input voltage 0→28V, full load (b) Input voltage 0→42V full load

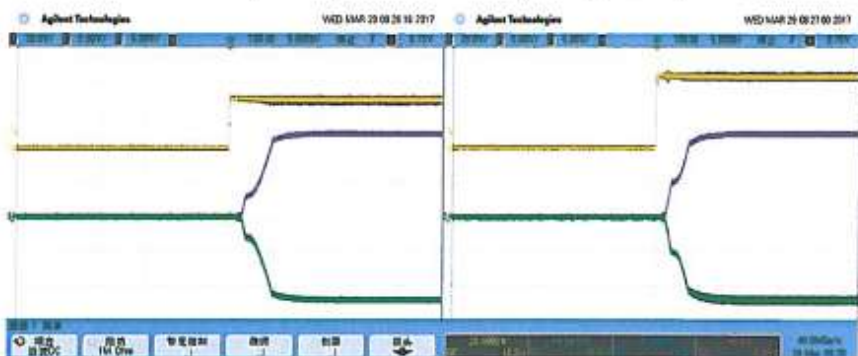
Fig 10 HDCCD/(20-50)-15-65/SP start-up delay/start-up overshoot



(a) Input voltage 0→28V, full load

(b) Input voltage 0→42V, full load

Fig 11 HDCD/(20-50)-5 -50/D1 start-up delay/start-up overshoot

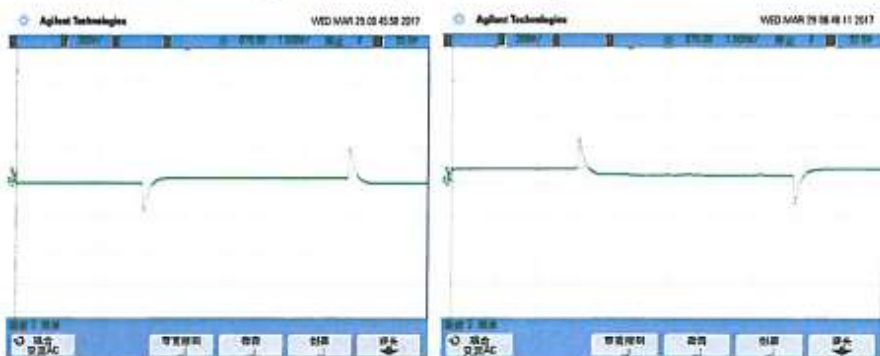


(a) Input voltage 0→28V, Full load

(b) Input voltage 0→42V, Full load

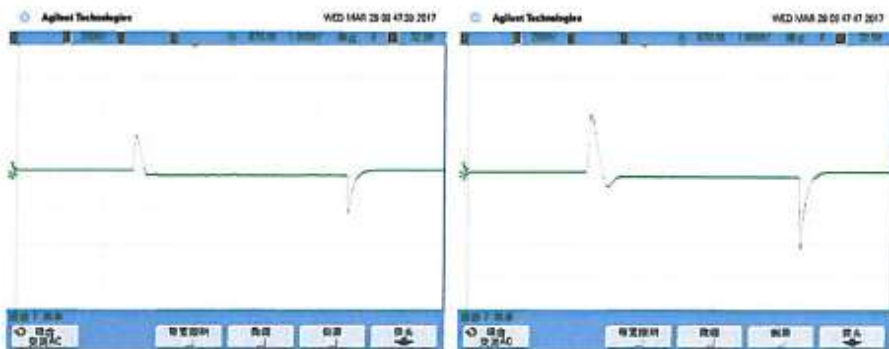
Fig 12 HDCD/(20-50)-12 -60/D1 start-up delay/start-up overshoot

4.2 Load step curve ($T_c=25^\circ\text{C}$, $V_{in}=28\text{V}$ and $V_{in}=42\text{V}$)



(a) $V_{IN}=28\text{V}$, 50%load-100%load-50%load

(b) $V_{IN}=42\text{V}$, 50%load-100%load-50%load

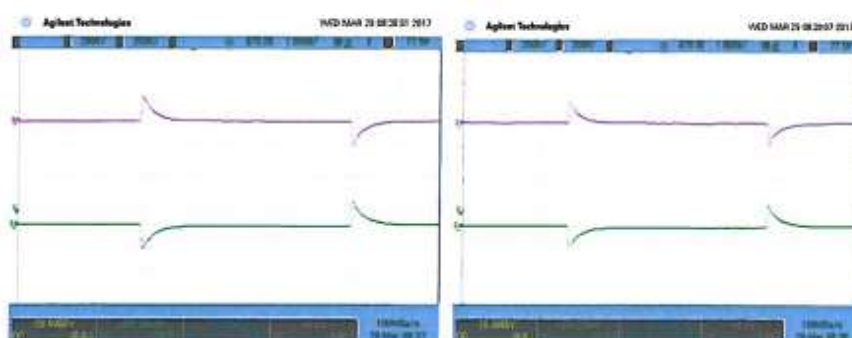


(c) $V_{IN}=28V$, 10%load-50%load-10%load (d) $V_{IN}=42V$, 10%load-50%load-10%load

Fig 13 HDCC/(20-50)-15-65/SP Load step curve

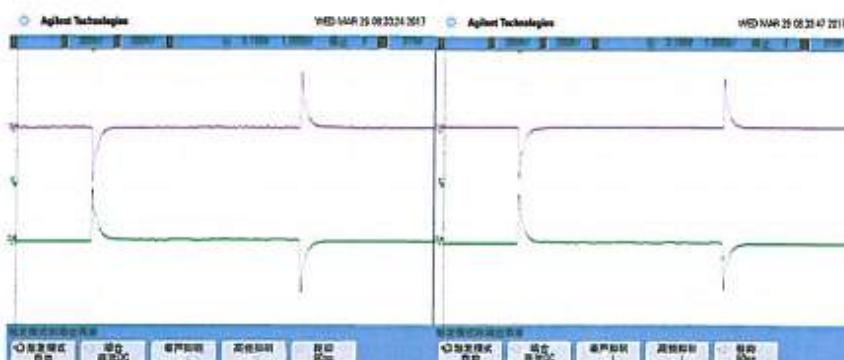


(a) $V_{IN}=28V$, 50%load-100%load-50%load (b) $V_{IN}=42V$, 50%load-100%load-50%load

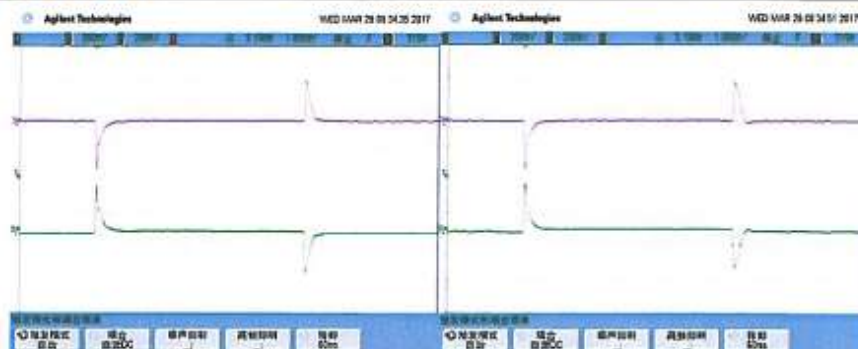


(c) $V_{IN}=28V$, 10%load-50%load-10%load (d) $V_{IN}=42V$, 10%load-50%load-10%load

Fig 14 HDCC/(20-50)-5-50/D1 Load step curve



(a) $V_{IN}=28V$, 50%load-100%load-50%load (b) $V_{IN}=42V$, 50%load-100%load-50%load

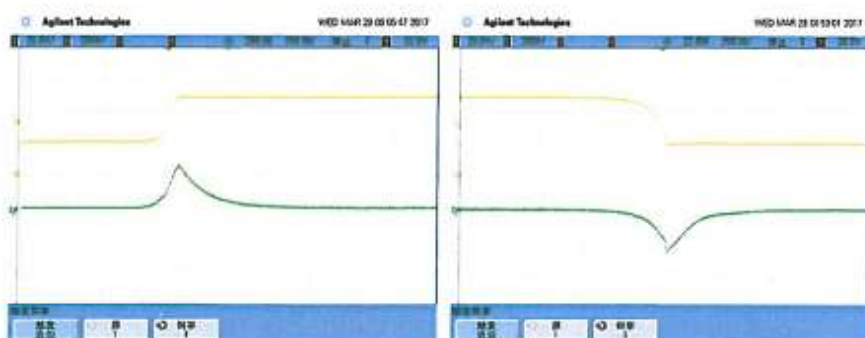


(c) $V_{IN}=28V$, 10%load-50%load-10%load

(d) $V_{IN}=42V$, 10%load-50%load-10%load

Fig 15 HDCD/(20-50)-12-60/D1 Load step curve

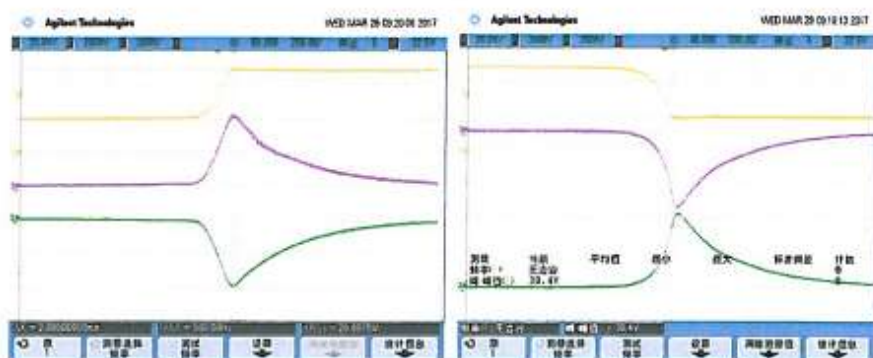
4.3 Input step curve ($T_C=25^{\circ}C$, Full load)



(a) $V_{IN}=20V \rightarrow 50V$

(b) $V_{IN}=50V \rightarrow 20V$

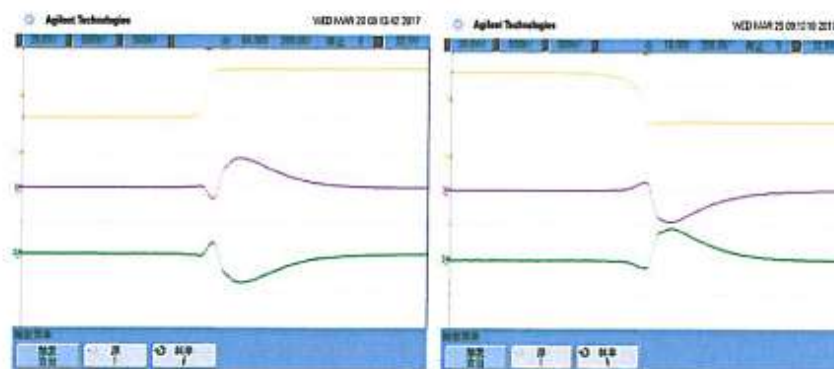
Fig 16 HDCD/(20-50)-15-65/SP Input step



(a) $V_{IN}=20V \rightarrow 50V$

(b) $V_{IN}=50V \rightarrow 20V$

Fig 17 HDCD/(20-50)-5-50/D1 Input step



(a) $V_{IN}=20V \rightarrow 50V$

(b) $V_{IN}=50V \rightarrow 20V$

Fig 18 HDCD/(20-50)-12-60/D1 Input step

5. Output efficiency curve

5.1 Output power-efficiency curve ($T_c=25^\circ\text{C}$, $V_{in}=28\text{V}$, $V_{in}=42\text{V}$)

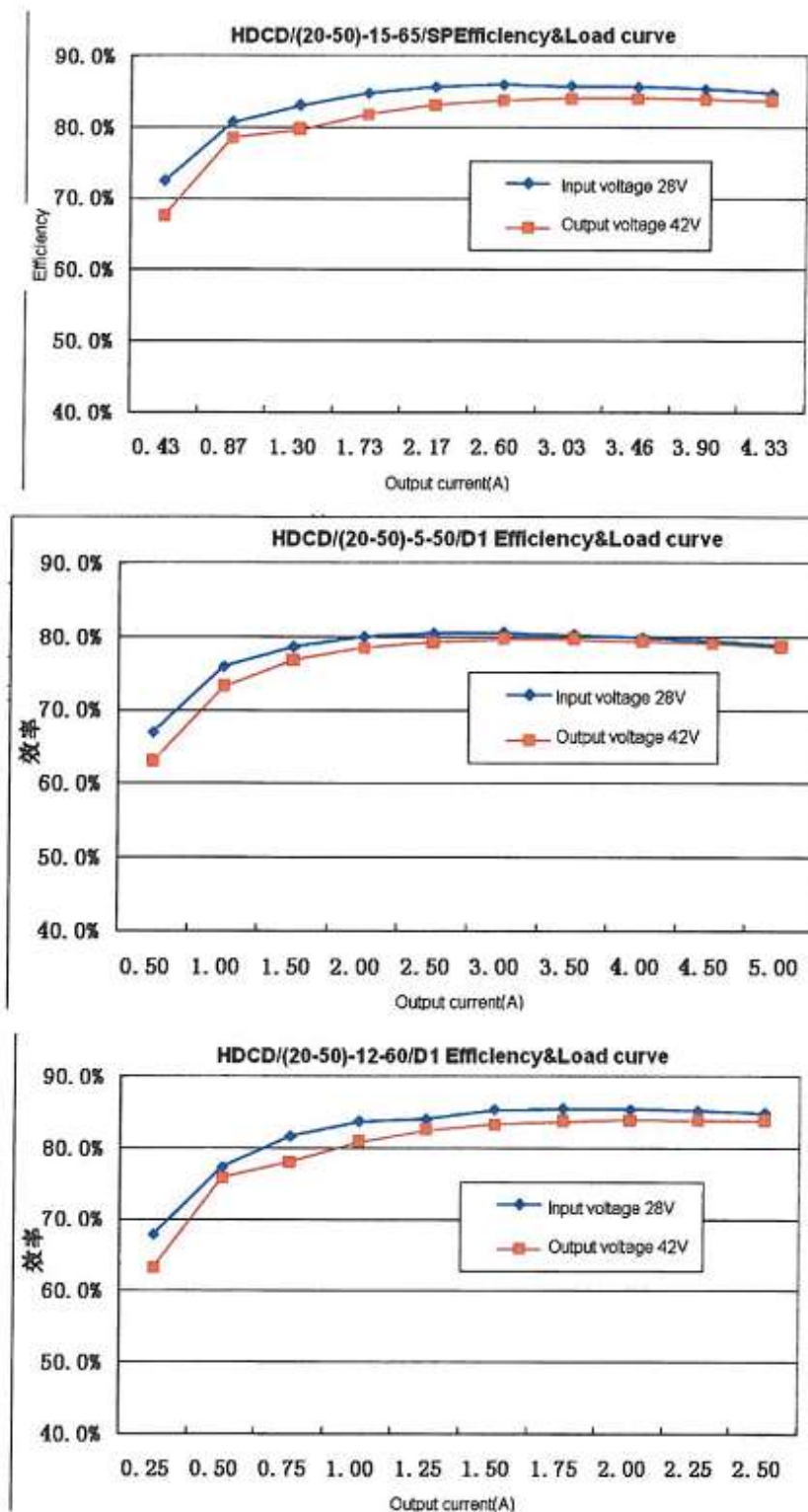


Fig 19 Output power-current curve

5.2 Input voltage-efficiency ($T_c=25^\circ\text{C}$, Full load)

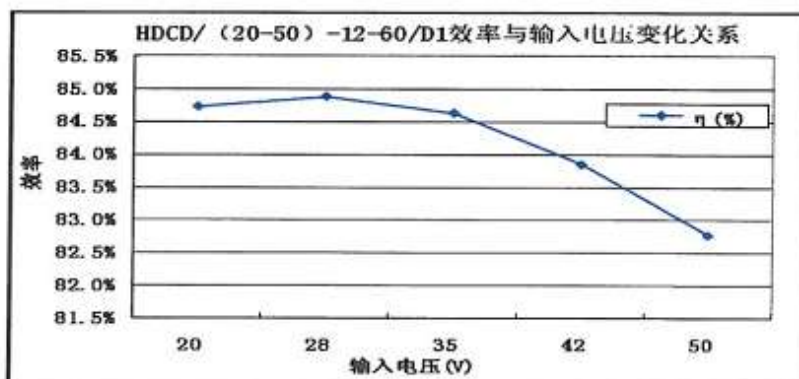
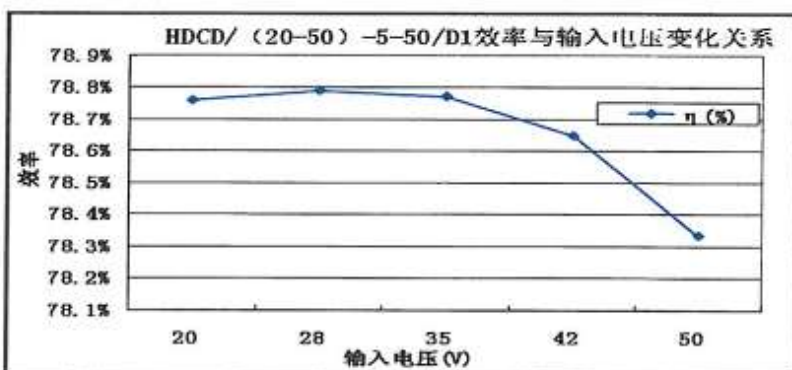
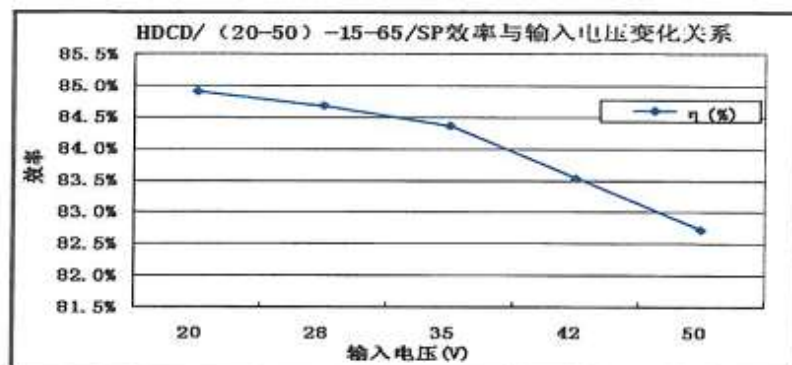
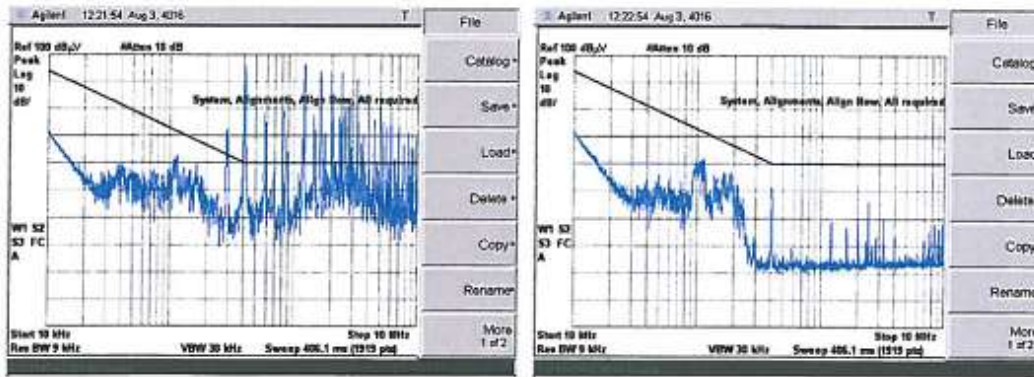


Fig 20 Input voltage-efficiency

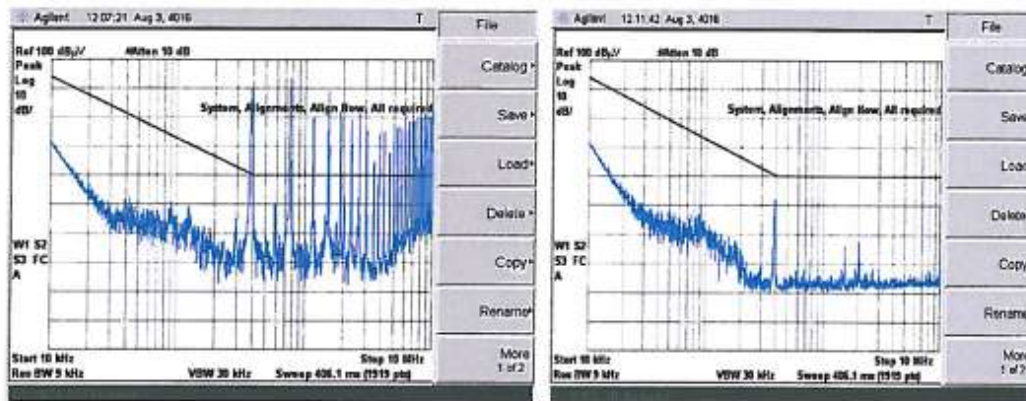
6. Effect of CE102 after using EMI filter



(a) Without EMI filter

(b) Connect HFE100-461-500 EMI filter

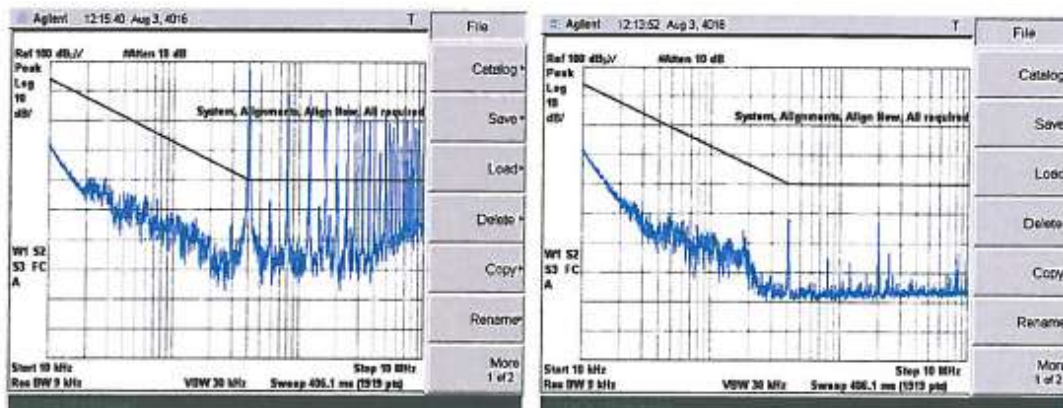
Fig 21 HDCE/(20-50)-15-65/SP



(a) Without EMI filter

(b) Connect HFE100-461-500 EMI filter

Fig 22 HDCE/(20-50)-5-50/D1



(a) Without EMI filter

(b) Connect HFE100-461-500 EMI filter

Fig 23 HDCE/(20-50)-12-60/D1

7. MTBF curve

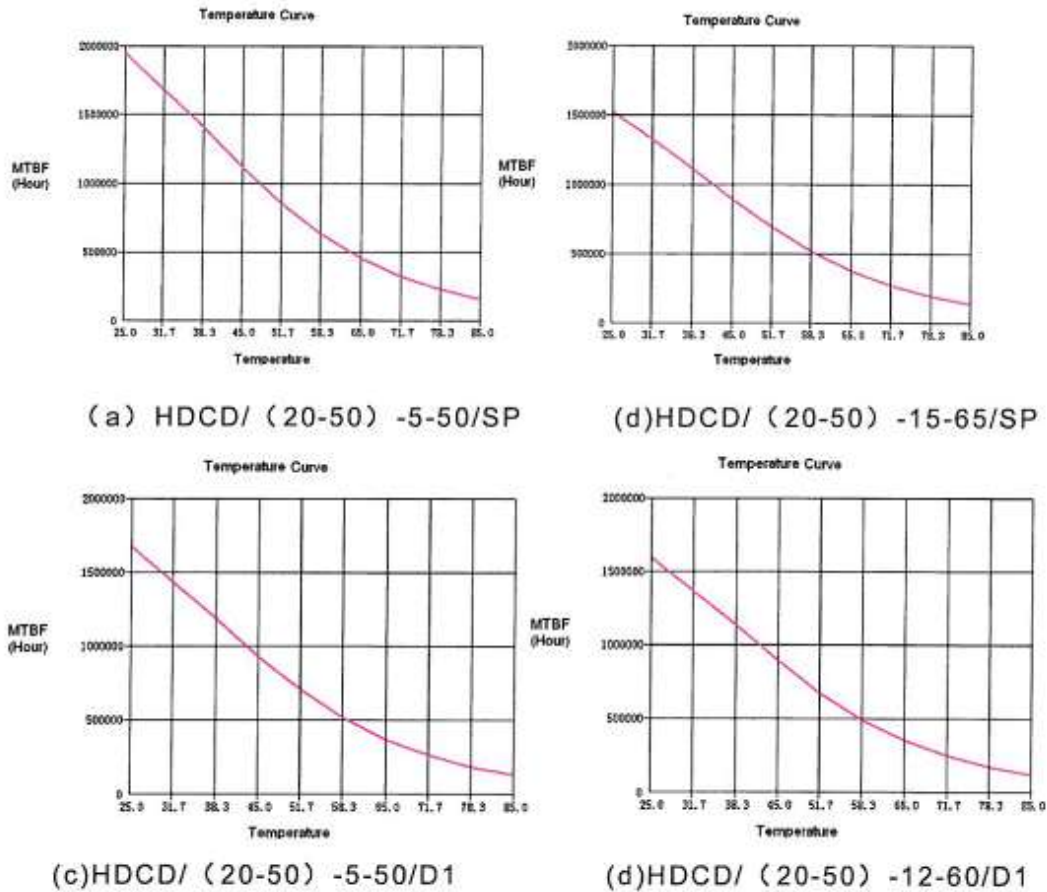


Fig 24 MTBF Curve

8. The thermal resistance inside the product

The product uses CRS with high thermal conductivity as the metal case. The thermal resistance inside the product is shown below.

Table 7 Internal thermal resistance

Model	Internal thermal resistance ($^{\circ}\text{C/W}$)	Heat sink dimensions (mm^3)	Power (W)	Heat sink material
HD CD/(20-50)-15-65/S P	2.71	300×200×3	16.3	Cu
HD CD/(20-50)-5-50/D1	2.48	300×200×3	18.5	Cu
HD CD/(20-50)-12-60/D 1	2.89	300×200×3	15	Cu

9. Application notes

- Case pins shall not be bent to avoid cracking insulators to affect device hermeticity.
- Check the polarity of input power line before powering on so as to avoid permanent failure caused by powering on suddenly.
- Check load conditions carefully during operation to avoid instability.
- Take electrostatic protection measures during storing, transporting, installing and debugging.
- Observe "User Manual" during storing, operation and soldering.
- Heat sink shall be used with the device to keep the case temperature below 125 °C.
- The bus voltage rise time shall be more than 1ms~50 ms.

Appendix C – Lista componenti approvati

Family Part number	Package	Manufacturer	Generic Procurement Specification (issue/revision)	Space Qualified Status (S)/ Space Heritage(H)/ Qualified automotive or Hi-rel (Q)	Used in "EFD02"	Used in "EFP"	Used in "Electronic Box"	Used in "Harness"	Remarks
A3Pxxxxx-PQG208I	PQG208	Microsemi		H	X		X		Used on HEPD-01
XC7Zxxx-xxxxxxxxx	BGA	Xilinx	automotive	H	X		X		GOMSPACE,CH REC
ADA4084-2ARZ	SOIC-8	ANALOG DEVICES		N	X		X	X	Op. Temp. Range: -40°C to 125°C
TNPW0603xxxxxxEA	0603	VISHAY	Automotive- AEC-Q200	Q	X		X		Op. Temp. Range: -40°C to 125°C
ERA-3Axxxxxx	0603	PANASONIC	AEC-Q200	Q	X		X		Op. Temp. Range: -40°C to 125°C
MCP	na	OMNETICS	MIL-DTL-83513	Q	X	X			Op. Temp. Range: -40°C to 105°C
1N6640U	LCC2D	ST Microelectronics	ECSS / RH100K	S	X		X	X	Op. Temp. Range: -40°C to 125°C
ADCMP35xxxxxxx	SC-70-4	Mil		H	X		X	X	Used on HEPD-01
ADG5412xxxx	16-TSSOP	Analog Devices	mil	Y	X		X	X	
ADG5412BFBRUZ	16-TSSOP	ANALOG DEVICES		N	X		X	X	Op. Temp. Range: -40°C to 125°C
ADG609BRUZ	16-TSSOP	An Device		ESD > 5000 V as per Military Standard 3015.7	X		X	X	
ADG5412FTRUZ-EP	16-TSSOP	ANALOG DEVICES		N	X		X	X	Enhanced Product Op. Temp. Range: -55°C to 125°C
ADG5412FBRUZ	16-TSSOP	ANALOG DEVICES		N	X		X	X	Op. Temp. Range: -40°C to 125°C
ADS1281IPW	TSSOP-24	TEXAS INSTRUMENTS		N	X		X		Op. Temp. Range: -40°C to 85°C
ADS1282IPW	TSSOP-28	TEXAS INSTRUMENTS		N	X		X		Op. Temp. Range: -40°C to 85°C
ADS1675IPAG	TQFP-64	TEXAS INSTRUMENTS		N	X		X	X	Op. Temp. Range: -40°C to 85°C
ADS5483IRGCx	VQFN-64	TEXAS INSTRUMENTS		N	X		X	X	Op. Temp. Range: -40°C to 85°C
AD74x5	SOIC-8	An. Device		H	X		X	X	Used on HEPD-01
C 1410140-1-D-3D	Multigig	TE-Connectivity	aerospace/military	S (mil)	X		X	X	
C 1410142-1-D-3D	Multigig	TE-Connectivity	aerospace/military	S (mil)	X		X	X	
C 1410186-1-D-3D	Multigig	TE-Connectivity	aerospace/military	S (mil)	X		X	X	
790-043P-D-15-MPB	Micro-Crimp	Glenair	aerospace/military	S (mil)	X		X	X	
790-043P-D-33-MPB	Micro-Crimp	Glenair	aerospace/military	S (mil)	X		X	X	
MULTIGIG RT 2 1410187-3-E		TE-Connectivity	aerospace/military	S (mil)	X		X		
SMBTA06Exxxx	SOT-23-3	Infineon	AEC-Q101	H	X		X	X	Used on HEPD-01
TMP1xx	SOT-23-6	TI		H	X		X		Used on HEPD-01

Appendice C – Lista componenti approvati

TPS61087xxxx	VSON10/WSO N10	TI		H	X		X	X	X	Used on HEPD-01
AP2303	PSOP-8	DIODES		H	X		X	X	X	
SN74LVC4245ADWR	SOIC-24	TI	AEC-Q100	H	X		X	X	X	Used on HEPD-01
PCA82C250T	SO-8	Nexperia	AEC-Q100	H	X		X			Used on HEPD-01
SJA1000T/N1	SO-28	Nexperia	AEC-Q100	H	X		X			Used on HEPD-01
ICS85411AMILF	SOIC-8	RENESAS ELECTRONICS		N	X		X			Op. Temp. Range: -40°C to 85°C
ICS551MILF	SOIC-8	RENESAS ELECTRONICS		N	X		X			Op. Temp. Range: -40°C to 85°C
AD9510BCPZ	LFCSP-64	ANALOG DEVICES		N	X		X	X	X	Op. Temp. Range: -40°C to 85°C
ASEMB-16.xxxMHZ-Xx-x	3.5 mm x 2.5 mm	ABRACON		N	X		X			Op. Temp. Range: -40°C to 105°C
XLx5x8xxxxxxxxxxX	5.0 × 3.2 × 1.2 mm	RENESAS ELECTRONICS		N	X		X	X	X	Op. Temp. Range: -40°C to 105°C Max Junction temp.: 125°C
ACM4520V-xxx-xx-T00		TDK	AEC-Q200	H	X		X			Used on HEPD-01
ICMxxxxERxxxV		Vishay		H	X		X			Used on HEPD-01.
ADCMPExx	4 pin SC/70	Analod Devices		H	X		X	X	X	Used on HEPD-01
EFTE Cables	26AWG	RS-PRO	MIL-W-81822/13	Q	X	X				
WSL2010xxxxxFEB	_2010	Vishay	AEC-Q200	H	X		X			Used on HEPD-01
UCR18EVHxxxxx	_1206	ROHM	AEC-Q200	H	X		X			Used on HEPD-01
PDP1-M	11,4 / 13,2 / 7,25	CUI INC	Mil	H	X		X	X	X	
ADUM15xNxxx	SOIC-16	An. Device	extended range	Q	X		X			Used on HEPD-01
DAC8811ICDGKx	VSSOP-8	TEXAS INSTRUMENTS		N	X		X			Op. Temp. Range: -40°C to 105°C
H5TQxxxxBFR-xxC		HYNIX	Commercial Grade	Q	X		X			
MT41Kxxxxxxxx-xxx	BGA	MICRON	AEC-Q100	Q	X		X			
Si9926DY	DIL 4+4	Fairchild	MIL	H	X		X	X	X	
HFME/ 20-50-461-500	UPP5328	ECRIM	Space	H	X		X	X	X	
SMBJxxxx		Vishay	AEC-Q101	H	X		X			Used on HEPD-01
ILHBxxxxERxxxV		Vishay		H	X		X			Used on HEPD-01
TEFZEL / EFTE	AWG vari	Gore/RS/Galaxy/DuPont	ESCC3901/009/017	S (mil)	X		X	X	X	
8200 series		murata		H	X		X			Used on HEPD-01
7447785001		WURT	AEC-Q200	H	X		X			Used on HEPD-01
7447785001		WURT	AEC-Q200	H	X		X	X	X	Used on HEPD-01
CDRH5D28xx-xxxxx		sumida		H	X		X			Used on HEPD-01
CLF7045T-xxxx-D		TDK	AEC-Q200	H	X		X			Used on HEPD-01
S25FLxxxxxxxxxxxxx	SO-16	CYPRESS	AEC-Q100	Q	X		X			
MT25Qxxxxxxxxxxx-xAUTxxx	BGA	MICRON	AEC-Q100	Q	X		X			
MX29LVxxxCxx	PLCC	Macronix		H	X		X			Used on HEPD-01
A3Pxxxx-FGG256I	FBGA-256	MICROSEMI CORPORATION		H	X		X			HEPD01

Appendice C – Lista componenti approvati

FM28Vxxx-xxxx		CYPRESS	industrial	N	X		X			Used on HEPD-01
FMxxLxx-xx-Tx	TSOP-44	Cypress	AEC-Q100	H	X		X			Used on HEPD-01
THS413xIDGN	HVSSOP	TEXAS INSTRUMENTS		N	X		X			Op. Temp. Range: -40°C to 85°C
OPA1632DGN	HVSSOP-8	TEXAS INSTRUMENTS		N	X		X			Op. Temp. Range: -40°C to 85°C
JMF-3216/F-125-xxxx	JFM-3216/F	1/2 SEMATRON		aerospace/military	X		X	X	X	
MF8050-FF-125-xx	MF8050	1/2 SEMATRON		aerospace/military	X		X	X	X	
1410187-3		TE CONNETTIVITY		N	X		X			
1410190-3		TE CONNETTIVITY		N	X		X			
1-1469492-1		TE CONNETTIVITY		N	X		X			
HCPL-0530-xxxE	SOIC-8	Broadcom / Avago		H	X		X			Used on HEPD-01
MAX1605x	SOT23-6	Maxim		H	X		X			Used on HEPD-01
ADM1171-xxxxx-xxx	SOT-23-8	An. device		H	X		X			Used on HEPD-01
ADA4610-2S	CDFP3-F10	Analog Device	MIL-PRF-38535	S	X	X				RadHard 100K
TFM322512ALVA	3.2/2,5/1,2/	TDK	MIL	H	X		X	X	X	
TPS 2245x	WSON	TI		N	X		X	X	X	Industrial/ -40 +105
TPS 22990	WSON	TI		N	X		X	X	X	Industrial/ -40 +105
NCP380	TSOP-x	ONSEMI	MIL	H	X		X	X	X	
UCC 3912	tssop-24	TI	MIL-PRF-38535	H	X		X	X	X	
LTC 4218	DHC	LINEAR		N	X		X	X	X	
ADM 111	tsot 8mlead	Anal-Device		N	X		X	X	X	
NTExxxxMC	14-SMD Module	murata	industrial	H	X		X			Used on HEPD-01
LT3094	12 L MSOP-DFM	Linear	MIL	H	X		X	X	X	
LT8022	LGA	Linear	MIL	H	X		X	X	X	
MIC2128	VQFN	MICROCIP	MIL	H	X		X	X	X	
TPS7Axxxxx	VQFN(20)	TI		H	X		X	X	X	
LP3856xxx-x.x	DDPAK/TO-263-5	TI	extend range	H	X		X			Used on HEPD-01
LMS1587xxx-x.x	TO-263-3	TI	extend range	H	X		X			Used on HEPD-01
LD39300PT-R	TO-252-5	stm	extended range	H	X		X			Used on HEPD-01
LP385xES-x.x	SOT/TO-263/TO-220	TI	extended range	H	X		X			Used on HEPD-01
LP2985IM5-x.x	SOT-23	TI	extended range	H	X		X			Used on HEPD-01
TPS731xx-EP	SOT-23-5	TI	extended range	H	X		X			Used on HEPD-01
ADP16xxxxx-x.x-xx	TSOT-5	An. Device	extended range	H	X		X			Used on HEPD-01
LD39300xxxx-R	TO-252-3	STM	extended range	H	X		X			Used on HEPD-01
TPS75xxxKTTR	TO-220/TO-263	TI	extend range	H	X		X			Used on HEPD-01
TPS7A3301RGxx	VQFN-20	TEXAS INSTRUMENTS		N	X		X			Op. Temp. Range: -40°C to 125°C
TPS7A4701QRGWxQ1	VQFN-20	TEXAS INSTRUMENTS	Automotive- AEC-Q100	Q	X		X			

Appendice C – Lista componenti approvati

TPS7A8300RGxx	VQFN-20	TEXAS INSTRUMENTS		N	X		X			Max Op. Junction temp.: -55°C 150°C
TPS7A3301KC	TO-220 7pin	TEXAS INSTRUMENTS		N	X		X			Op. Temp. Range: -40°C to 125°C
TPS7A470xRGWx	VQFN-20	TEXAS INSTRUMENTS		N	X		X			Op. Temp. Range: -40°C to 125°C
TPS7A4701MRGWREP	VQFN-20	TEXAS INSTRUMENTS		N	X		X			Enhanced Product Op. Temp. Range: -55°C to 125°C
MCxxxxxxB		ONSEMI	AEC-Q101	Q	X		X			
SN74LVxxxxxxxxxxx		TI	AEC-Q100	H	X		X			Used on HEPD-01
NC7SZ08P5X	sot-23	fairchild	AEC-Q100	H	X		X			Used on HEPD-01
74LVC1G32	SOT353/753/886	NEXPERIA	Mil	Q	X		X	X	X	Used on HEPD-01
LP5912	WSO6	TI		H	X		X	X	X	
LP2985	SOT-23(5)	TI		H	X		X	X	X	
LMS1585A	TO-263-3	TI		H	X		X	X	X	
LP3869	WSO6	TI		H	X		X	X	X	
TLV757P	SOT23 (5)	TI		H	X		X	X	X	
AM26LV31E	SOP-16	TI	industrial	H	X		X			Used on HEPD-01
SN65LVDS3xDR	16SOIC	TI		H	X		X			Used on HEPD-01
SN65LVDSxxxxx	SOT-23-5	TI		H	X		X			Used on HEPD-01
SN65LVDS9638D	SOIC-8	TI		H	X		X			Used on HEPD-01
SN65LVDS34D	SOIC-9	TI		H	X		X			Used on HEPD-01
SN65LVDS3xD	SOIC-16	TEXAS INSTRUMENTS		N	X		X			Enhanced Product Op. Temp. Range: -55°C to 125°C
MB85RSxxxLY	8-SOIC/8-SOP	Fujitsu	AEC-Q100	Q	X		X			
IRF7413TRPBF	SO-8	infineon		H	X		X			Used on HEPD-01
FQPF22P10	TO220F	Fairchild	MIL	H	X		X	X	X	
IRF7413PbF	SO8	IR	MIL	H	X		X	X	X	
FDB3682/ FDP3682	TO263AB	FAIRCILD	MIL	H	X		X	X	X	
XXXZDXXXKAT2A	1210 (3225M)	AVX	AEC-Q200	Q	X	X				
CXXXXCXXXJ3JACTU	0805 (2012M)	KEMET	AEC-Q200	Q	X	X				
CGA4C4C0G2WXXXJXX XAA	0805 (2012M)	TDK	AEC-Q200	Q	X	X				
CGA4J2X8R1EXXXKXX XAD	0805 (2012M)	TDK	AEC-Q200	Q	X	X				
0805YAXXXJ4T2A	0805 (2012M)	AVX	AEC-Q200	Q	X	X				
GCM2165C1XXXXXXXXXX X	0805 (2012M)	MURATA	AEC-Q200	Q	X	X				
C1608C0Gxxxxxxxxxxx	_0603	TDK	class1	H	X		X			Used on HEPD-01.
TMK316BJxxxxx-x	_1206	TAIYO	class2	Y	X		X			Used on HEPD-01
GRM155R6xxxxxxxxxxx	_0402	murata	class2	H	X		X			Used on HEPD-01
GCM155R7xxxxxxxxxxx	_0402	murata	AEC-Q200	Q	X		X			

Appendice C – Lista componenti approvati

GRM155r7xxxxxxxxxx	_0402	murata	class2	N	X		X			
CC0402xxNPOxBNxxx	0402	YAGEO	Class 1	N	X		X			
C0402CxxxxRxCAUTO	0402	KEMET	Automotive- AEC-Q200	Q	X		X			
GCM188R72Axxxxxxxx	_0603	murata	AEC-Q200	Q	X		X			
0603xAxxxxAxxx	0603	AVX	Class 1		X		X			
0603xAxxxx4xxx	0603	AVX	Automotive- AEC-Q200	Q	X		X			
C0603CxxxxGACTU	0603	KEMET	Class 1		X		X			
C0603CxxxxGACAUTO	0603	KEMET	Automotive- AEC-Q200	Q	X		X			
GRM1885Cxxxxxxxxxx	0603	MURATA	Class 1		X		X			
CBR06CxxxxGAC	0603	KEMET	Class 1		X		X			
CBR06CxxxxGACTU	0603	KEMET	Class 1		X		X			
GCM1885Cxxxxxxxxxx	0603	MURATA	Automotive- AEC-Q200	Q	X		X			
GRM1887Uxxxxxxxxxx	0603	MURATA	Class 1		X		X			
C0603CxxxxJACTU	0603	KEMET	Class 1		X		X			
C0603CxxxxJACAUTO	0603	KEMET	Automotive- AEC-Q200	Q	X		X			
GRM188R6xxxxxxxxxx	0603	MURATA	Class 2		X		X			
C0603CxxxxPACTU	0603	KEMET	Class 2		X		X			
GRM188R7xxxxxxxxxx	0603	MURATA			X		X			
C0603CxxxxRxCAUTO	0603	KEMET	Automotive- AEC-Q200	Q	X		X			
C0603CxxxxRACTU	0603	KEMET	Class 2		X		X			
GCM188R7xxxxxxxxxx	0603	MURATA	Automotive- AEC-Q200	Q	X		X			
0603xCxxxxAxxx	0603	AVX	Class 2		X		X			
0603xCxxxx4xxx	0603	AVX	Automotive- AEC-Q200	Q	X		X			
0603Bxxxxxxxxxx	0603	WALSIN	Class 2		X		X			
CC0603xxX7RxBBxxx	0603	YAGEO	Class 2		X		X			
GCJ188R7xxxxxxxxxx	0603	MURATA	Automotive- AEC-Q200	Q	X		X			
GRM188R72Axxxxxxxx	_0603	murata	class2	H	X		X			Used on HEPD-01
C1608X7Rxxxxxxxxxx	_0603	TDK	class2	H	X		X			Used on HEPD-01
LLLxxxR7xxxxxxxxxx	0612	MURATA			X		X			
GCM2165R7xxxxxxxxxx	_0805	murata	AEC-Q200	Q	X		X			
GCM2165c1hxxxxxxxxxx	_0805	murata	AEC-Q200	Q	X		X			
GRM21BR6xxxxxxxxxx	0805	MURATA	Class 2		X		X			
GRM219R6xxxxxxxxxx	0805	MURATA	Class 2		X		X			
0805xDxxxxxxxxxx	0805	AVX	Class 2		X		X			
xMK212BJxxxx-x	0805	TAIYO YUDEN	Class 2		X		X			
C0805CxxxxPAC	0805	KEMET	Class 2		X		X			

Appendice C – Lista componenti approvati

GRM216R7xxxxxxxxxx	0805	MURATA	Class 2		X		X			
C0805CxxxxRACTU	0805	KEMET	Class 2		X		X			
C0805CxxxxRxCAUTO	0805	KEMET	Automotive- AEC-Q200	Q	X		X			
GRM21BR7xxxxxxxxxx	0805	MURATA	Class 2		X		X			
GCM21BR7xxxxxxxxxx	0805	MURATA	Automotive- AEC-Q200	Q	X		X			
GCM219R7xxxxxxxxxx	0805	MURATA	Automotive- AEC-Q200	Q	X		X			
xMK212B7xxxxx-x	0805	TAIYO YUDEN	Class 2		X		X			
GRM31CRxxxxxxxxxx	_1206	murata	class2	H	X		X			Used on HEPD-01
GCM31CRxxxxxxxxxx	_1206	murata	AEC-Q200	Q	X		X			
C1206XxxxxRxCAUTO	1206	KEMET	Automotive- AEC-Q200	Q	X		X			
C1206CxxxxRxCAUTO	1206	KEMET	Automotive- AEC-Q200	Q	X		X			
GCM31CR7xxxxxxxxxx	1206	MURATA	Automotive- AEC-Q200	Q	X		X			
GRM31CR71xxxxxxxxxx	1206	MURATA	Class 2		X		X			
C1206CxxxxRACTU	1206	KEMET	Class 2		X		X			
12103Dxxxxxxxxxx	1210	AVX	Class 2		X		X			
C1210CxxxxPACTU	1210	KEMET	Class 2		X		X			
xMK325ABJxxxxxx	1210	TAIYO YUDEN	Automotive- AEC-Q200	Q	X		X			
C1210CxxxxRxCAUTO	1210	KEMET	Automotive- AEC-Q200	Q	X		X			
22203Cxxxxxxxxxx	2220	AVX	Automotive- AEC-Q200	Q	X		X			
C1206CxxxxxxxxRACAU TO	_1206	KEMET	AEC-Q200	H	X		X			Used on HEPD-01
TSRN 1-xxxxSM	SMD-10	traco power	industrial	H	X		X			Used on HEPD-01
ADA4528-2TCPZ-EP	LFCSP-8	ANALOG DEVICES		N	X		X			Enhanced Product Op. Temp. Range: -40°C to 125°C
ADA4807-1ARJZ-R2	SOT-23-6	ANALOG DEVICES		N	X		X			Op. Temp. Range: -40°C to 125°C
ADA4528-2ARMZ	MSOP-8	ANALOG DEVICES		N	X		X			Op. Temp. Range: -40°C to 125°C
ADA4817-1ARDZ	SOIC_N_EP 8	ANALOG DEVICES		N	X		X			Op. Temp. Range: -40°C to 105°C
ADA4807-2ARMZ	MSOP-8	ANALOG DEVICES		N	X		X			Op. Temp. Range: -40°C to 125°C
AD803xARZ	SOIC-8	An. Device	industrial	H	X		X			Used on HEPD-01
TLP701	11-5J1S	TOSHIBA		N	X		X	X	X	
ILD2xxx	SOIC-8	VISHAY		N	X		X	X	X	
HCPL-25xxx	DIL 4+4	AVAGO		N	X		X	X	X	
ILD2xxT	SOIC-8	vishay		H	X		X			Used on HEPD-01
C 1410187-3-E-3D	Multigig	TE-Connectivity	aerospace/military	S (mil)	X		X	X	X	
C 1410190-3-B-3D	Multigig	TE-Connectivity	aerospace/military	S (mil)	X		X	X	X	
C 1410189-3-E-3D	Multigig	TE-Connectivity	aerospace/military	S (mil)	X		X	X	X	
850-xx-xxx-10-001101		PRECI-DIP		N	X		X			

Appendice C – Lista componenti approvati

9181431xx		MOLEX		N	X		X			
9013031xx		MOLEX		N	X		X			
7176400xx		MOLEX		N	X		X			
TPL5010DDCT	SOT23 (6)	TI	industrial	H	X		X			Used on HEPD-01
ADA4077-2TRMZ-EP	MSOP-8	ANALOG DEVICES		N	X		X			Enhanced Product Op. Temp. Range: –55°C to 125°C
ADA4077-1xRZ	SOIC-8	ANALOG DEVICES		N	X		X			Op. Temp. Range: –40°C to 125°C
OPA211AIDGKx	VSSOP-8	TEXAS INSTRUMENTS		N	X		X			Op. Temp. Range: –40°C to 125°C
OPA211MDGKTEP	VSSOP-8	TEXAS INSTRUMENTS		N	X		X			Enhanced Product Op. Temp. Range: –55°C to 125°C
PT1000	na	RS-PRO	AEC-Q100	Q	X	X				
TPS76933QDBVRQ1	DBV	TI		H	X		X	X	X	
TS3474x	SOT23	TI		N	X		X	X	X	da -40 a +85
790-025S-D-15-NML	Micro-Crimp	Glenair	aerospace/military	S (mil)	X		X	X	X	
790-025S-D-33-NML	Micro-Crimp	Glenair	aerospace/military	S (mil)	X		X	X	X	
J36W-9ZJB	Prodotto custom	CINA	aerospace/military	S (mil)	X		X	X	X	
J36W-36ZJB	Prodotto custom	CINA	aerospace/military	S (mil)	X		X	X	X	
J36W-17ZKB	Prodotto custom	CINA	aerospace/military	S (mil)	X		X	X	X	
MAX31865ATP+T	TQFN-EP 20	MAXIM INTEGRATED		N	X		X			Op. Temp. Range: –40°C to 125°C
ERA6AXX1XXV	0805 (2012M)	PANASONIC	AEC-Q200	Q	X	X				
ERJ6EXXXXXXV	0805 (2012M)	PANASONIC	AEC-Q200	Q	X	X				
ERJT0XXXXXXV	1206 (3216M)	PANASONIC	AEC-Q200	Q	X	X				
ERJP0XXXXXXV	1206 (3216M)	PANASONIC	AEC-Q200	Q	X	X				
SP3xxxxxx-xx	SOIC16N	Maxlinear/sipex		H	X		X			Used on HEPD-01
AM26C31	TSSOP-16	TI	extended range	H	X		X			Used on HEPD-01
MAX 31865	TQFN/SSOP 20pinMAXIM	MAXIM		H	X		X	X	X	Used on HEPD-01
SBASxx-04LT1G	SOT23	ON SEMICONDUCTOR	Automotive-AEC-Q101	Q	X		X			
NSVBAT54SWT1G	SOT-323	ON SEMICONDUCTOR	Automotive-AEC-Q101	Q	X		X			
MBRM140xxx	457-04	ONSEMI	AEC-Q101	H	X		X			Used on HEPD-01
SL2x-E3	DO-214AA	vishay	AEC-Q101	H	X		X			Used on HEPD-01
CMS06xxxx	3-4E1A	toshiba		H	X		X			Used on HEPD-01
MBRM140Txx	457	ONSEMI	MIL-PRF-38535	H	X		X	X	X	
IS4xTRxxxxxxx	BGA	ISSI	automotive	Q	X		X			
PMVxxXPA	SOT23/TO-236AB	Nexperia	AEC-Q101	H	X		X			Used on HEPD-01
70V28Lxxxxxx	TQFP-100	IDT	extended range	H	X		X			Used on HEPD-01
CY7Cxxxxxxxx-xxxxxxx		Cypress	industrial	H	X		X			Used on HEPD-01

Appendice C – Lista componenti approvati

SG-3030JFxxxxxxx		EPSON		H	X		X			Used on HEPD-01
ECS-3961-xxx-AU-xx		ECS	AEC-Q200	H	X		X			Used on HEPD-01
CB3LV-xx-xxxxxx		CTS		H	X		X			Used on HEPD-01
ASEMB-16.xxxMHz -Xx-x	3,5mm x 2,5mm	Abracom		N	X		X	X	X	Temp range -40 to +105°
EN6337Q1	QFN	INTEL		H	X		X	X	X	
EN2342Q1	QFN	INTEL		H	X		X	X	X	
EN5358Q1	QFN	INTEL		H	X		X	X	X	
EN5388Q1	QFN	INTEL		H	X		X	X	X	
MAX810xxRG	SOT23-3	ON SEMICONDUCTOR		N	X		X			Op. Temp. Range: -40°C to 105°C
TPS380xH33xxxx	SC-70	TI	industrial	H	X		X			Used on HEPD-01
LM8xx	SOT-23-3	TI		H	X		X			Used on HEPD-01
TPS54228DRCT	VSON-10	TI	industrial	H	X		X			Used on HEPD-01
LMR120xxXSD/NOPB	WSO-10	TI	extend range	H	X		X			Used on HEPD-01
HDCC/ (20-50)-5-25/SP	UPP5328	ECRIM	Space	H	X		X	X	X	
LTM 8022	11,25 x 9 x 2,82	Linear	Mil	H	X		X	X	X	
LTM 3094	12 L MSOP-DFM	Linear	Mil	H	X		X	X	X	
MYRGM-x	3,2 2,5 1 mm	muRata	Automotive	Q	X		X	X	X	
TPS54228	VSON	TI	Industrial	Q	X		X	X	X	
TPS5436x	WSO-10	TI		H	X		X	X	X	
LMR120xx	WSO-10	TI	Mil	Q	X		X	X	X	
TPS40170	VQFN (20)	TI	Mil	H	X		X	X	X	
MIC 2128	VQFN 16 pin	Microcip	mil/auto	H	X		X	X	X	
T495DxxxxxxxxExxx	_7343-31	KEMET		H	X		X			Used on HEPD-01
TRMExxxxxxxRxxxx	_2917	AVX	AEC-Q200	H	X		X			Used on HEPD-01
TRMDxxxxxxRxxxx	_2917	AVX	AEC-Q200	H	X		X			Used on HEPD-01
293DxxxxxxxxBxxxx	3528-21	VISHAY		N	X		X			
ADT7311WTRZ	SOIC-8	ANALOG DEVICES		N	X		X			Automotive Op. Temp. Range: -40°C to 150°C
CRCW0603xxxxFKEA	_0603	Vishay	AEC-Q101	H	X		X			Used on HEPD-01
CRCW0805xxxxFKEA	_0805	Vishay	AEC-Q101	H	X		X			Used on HEPD-01
WCR1206-10RFI	_1206	TT elec.	AEC-Q200	H	X		X			Used on HEPD-01
CRCW2512-1.62K-E3	_2512	vishay	AEC-Q200	H	X		X			Used on HEPD-01
CRCW805-1.62K-E3	_2512	vishay	AEC-Q200	H	X		X	X	X	Used on HEPD-01
CRCW2512-1.91K-E3	_2512	vishay	AEC-Q200	H	X		X	X	X	Used on HEPD-01
CRCW402-1.62K-E3	_2512	vishay	AEC-Q200	H	X		X	X	X	Used on HEPD-01
CRCW2512-1.2K-E3	_2512	vishay	AEC-Q200	H	X		X	X	X	Used on HEPD-01
CRCW402-2.22K-E3	_2512	vishay	AEC-Q200	H	X		X	X	X	Used on HEPD-01
CRCW0603xxxxFKEAHP	_0603	vishay	AEC-Q200	H	X		X			Used on HEPD-01
CRCW0805xxxxFKEAHP	_0805	vishay	AEC-Q200	Q	X		X			
CRCW0402xxxxxxED	0402	VISHAY	Automotive- AEC-Q200	Q	X		X			
CRCW0603xxxxxxEA	0603	VISHAY	Automotive- AEC-Q200	Q	X		X			
CRCW0805xxxxxxEA	0805	VISHAY	Automotive- AEC-Q200	Q	X		X			
ERJ-2Rxxxxxx	0402	PANASONIC	Automotive- AEC-Q200	Q	X		X			

Appendice C – Lista componenti approvati

ERJ-3EKxxxxxx	0603	PANASONIC	Automotive- AEC-Q200	Q	X		X			
MPSA/MMBTA/PZTA...06	SOT-23	Faischild/Ifineon	MIL	H	X		X	X	X	
C0603CxxxxxHACAUTO	0603	KEMET	Automotive- AEC-Q200	Q	X		X			
ADR42xBRZ	SOIC-8	ANALOG DEVICES		N	X		X			Op. Temp. Range: -40°C to 125°C
ADR3512WCRMZ-R7	MSOP-8	ANALOG DEVICES		N	X		X			Automotive Op. Temp. Range: -40°C to 125°C
ADR45xxBRZ	SOIC-8	ANALOG DEVICES		N	X		X			Op. Temp. Range: -40°C to 125°C
ADR45xxARZ	SOIC-8	ANALOG DEVICES		N	X		X			Op. Temp. Range: -40°C to 125°C
REF50xxAQDRQ1	SOIC-8	TEXAS INSTRUMENTS	Automotive- AEC-Q100	Q	X		X			
REF50xxID	SOIC-8	TEXAS INSTRUMENTS		N	X		X			Op. Temp. Range: -40°C to 125°C